

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Device embedding assembly technology –
Part 2-5: Guidelines – Implementation of a 3D data format for device embedded
substrate**

**Technologie d'ensemble avec appareil(s) intégré(s) –
Partie 2-5: Lignes directrices – Mise en œuvre d'un format de données 3D
pour un substrat avec appareil(s) intégré(s)**



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2019 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigendum or an amendment might have been published.

IEC publications search - webstore.iec.ch/advsearchform

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and once a month by email.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: sales@iec.ch.

Electropedia - www.electropedia.org

The world's leading online dictionary on electrotechnology, containing more than 22 000 terminological entries in English and French, with equivalent terms in 16 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

67 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Recherche de publications IEC -

webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et une fois par mois par email.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

Electropedia - www.electropedia.org

Le premier dictionnaire d'électrotechnologie en ligne au monde, avec plus de 22 000 articles terminologiques en anglais et en français, ainsi que les termes équivalents dans 16 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

67 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Device embedding assembly technology –
Part 2-5: Guidelines – Implementation of a 3D data format for device embedded
substrate**

**Technologie d'ensemble avec appareil(s) intégré(s) –
Partie 2-5: Lignes directrices – Mise en œuvre d'un format de données 3D
pour un substrat avec appareil(s) intégré(s)**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.180; 31.190

ISBN 978-2-8322-7768-3

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	5
1 Scope.....	7
2 Normative references	7
3 Terms and definitions	7
4 Data definition	10
4.1 Flow chart design of device embedded substrate	10
4.2 Applicable range	11
4.2.1 Product.....	11
4.2.2 Process	12
4.3 Features	13
4.3.1 General	13
4.3.2 Device embedded substrate structure	13
4.3.3 SiP interposer structure	14
4.3.4 Virtual layer description	15
4.3.5 Terminal structure and embedded device structure including an SiP	15
4.3.6 Total design data of an SiP and device embedded substrate	15
4.4 Data description summary.....	16
4.4.1 Type of data and structures	16
4.4.2 File structure	18
4.5 3D expression.....	19
4.5.1 General	19
4.5.2 Coordinates	19
4.5.3 Position description	20
4.5.4 Relation between coordinate origin and board position	20
4.6 Layer concept	21
4.7 Substrate data	21
4.7.1 General	21
4.7.2 Layer map information	22
4.7.3 Device arrangement information	23
4.7.4 Basic figures.....	25
4.7.5 Net information	31
4.7.6 Artwork information.....	32
4.7.7 Package information	32
4.7.8 External port information.....	33
4.7.9 Internal port information.....	33
4.7.10 User expansion information	33
4.8 Defined data	33
4.8.1 General	33
4.8.2 Layer definition.....	33
4.8.3 Land definition	34
4.8.4 Via definition	35
4.8.5 Device definition	36
4.8.6 User expansion definition	37
5 Data organization and data description based on XML schema.....	38
5.1 General.....	38
5.2 Data organization of Example 1	38
5.3 Data description of layer stack-up	39

5.4	Data description of device	43
5.5	Data organization of layer	47
5.6	Data description of via	50
5.7	Data description of land	51
	Bibliography	53
	Figure 1 – Flow chart of design of device embedded substrate	11
	Figure 2 – General structure of device embedded substrate	12
	Figure 3 – Example of device embedded substrate structure	14
	Figure 4 – Examples of SiPs	14
	Figure 5 – Example of virtual layer description	15
	Figure 6 – Terminal structure	15
	Figure 7 – Structure of SiP on a device embedded substrate	16
	Figure 8 – Data structure	18
	Figure 9 – One file structure (recommended)	19
	Figure 10 – Two file structure	19
	Figure 11 – Definition of coordinates	20
	Figure 12 – Position definition	20
	Figure 13 – Relation between coordinates and board position	21
	Figure 14 – Layer concept	21
	Figure 15 – Layer construction	22
	Figure 16 – Simplified layer construction	23
	Figure 17 – Layer definition of pad connection	24
	Figure 18 – Layer definition of via connection	24
	Figure 19 – Rotation direction on X, Y, and Z axes	25
	Figure 20 – Point	26
	Figure 21 – Area	27
	Figure 22 – Lines	27
	Figure 23 – Letters	28
	Figure 24 – Letter shape	28
	Figure 25 – Bonding wire information	29
	Figure 26 – Semi-sphere	29
	Figure 27 – Truncated pyramid	30
	Figure 28 – Via	30
	Figure 29 – Device definition	31
	Figure 30 – Group	31
	Figure 31 – Data structure of net information	32
	Figure 32 – Relation of layer definition data	34
	Figure 33 – Land definition	35
	Figure 34 – Relation between hole information and land information	36
	Figure 35 – Device with internal connection information	37
	Figure 36 – Device without internal connection information	37
	Figure 37 – Cross sectional view of Example 1	38
	Figure 38 – Data organization of Example 1	38

Figure 39 – Data description of Example 1	39
Figure 40 – Layer structure of Example 1	40
Figure 41 – Data description of layer stack-up	42
Figure 42 – Configuration of device 1	43
Figure 43 – Data description of device 1	44
Figure 44 – Configuration of device 2	45
Figure 45 – Data description of device 2	46
Figure 46 – Layer view of Example 1	48
Figure 47 – Data description of layers	50
Figure 48 – Type of vias	51
Figure 49 – Data description of vias	51
Figure 50 – Type of lands	52
Figure 51 – Data description of lands	52
Table 1 – Required information	13
Table 2 – List of data	17

IECNORM.COM : Click to view the full PDF of IEC 62878-2-5:2019

INTERNATIONAL ELECTROTECHNICAL COMMISSION

DEVICE EMBEDDING ASSEMBLY TECHNOLOGY –**Part 2-5: Guidelines – Implementation of a 3D data format
for device embedded substrate**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62878-2-5 has been prepared by IEC technical committee 91: Electronics assembly technology.

This bilingual version (2020-01) corresponds to the monolingual English version, published in 2019-09.

This first edition cancels and replaces IEC PAS 62878-2-5 published in 2015. This edition constitutes a technical revision.

This edition includes the following significant technical changes with respect to the previous edition:

- a) the title has been changed to "Implementation of a 3D data format for device embedded substrate" from "Requirements of design data format for device embedded substrate";
- b) the scope of this implementation has changed to not include SiPs.

The text of this International Standard is based on the following documents:

CDV	Report on voting
91/1557/CDV	91/1589/RVC

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

The French version of this standard has not been voted upon.

This document has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 62878 series, published under the general title *Device embedding assembly technology*, can be found on the IEC website.

Future standards in this series will carry the new general title as cited above. Titles of existing standards in this series will be updated at the time of the next edition.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

DEVICE EMBEDDING ASSEMBLY TECHNOLOGY –

Part 2-5: Guidelines – Implementation of a 3D data format for device embedded substrate

1 Scope

This part of IEC 62878 specifies requirements based on XML schema that represents a design data format for device embedded substrate, which is a board comprising embedded active and passive devices whose electrical connections are made by means of a via, electroplating, conductive paste or printing of conductive material.

This data format is to be used for simulation (e.g. stress, thermal, EMC), tooling, manufacturing, assembly, and inspection requirements. Furthermore, the data format is used for transferring information among printed board designers, printed board simulation engineer, manufacturers, and assemblers.

This part of IEC 62878 applies to substrates using organic material. It neither applies to the re-distribution layer (RDL) nor to the electronic modules defined as M-type business model in IEC 62421.

2 Normative references

There are no normative references in this document.

3 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- IEC Electropedia: available at <http://www.electropedia.org/>
- ISO Online browsing platform: available at <http://www.iso.org/obp>

3.1

artwork information

information that shows a SiP not included in net and figure data in board (symbol mark, inside of SiP, mould, spacer, remarks, etc.)

3.2

board information

total information of a device-embedded substrate, including embedded devices

3.3

chip stack

package of semiconductor chips stacked vertically

3.4

clearance

area around a through-hole where there is no conductor to prevent electrical connection between a large conductor area, such as that of a power supply or a ground and a plated through-hole

3.5

computer-aided manufacturing

CAM

interactive use of computer systems, programs, and procedures in various phases of a manufacturing process wherein the decision-making activity rests with the human operator and a computer provides the data manipulation functions

3.6

computer-aided design

CAD

interactive use of computer systems, programs, and procedures in the design process wherein the decision-making activity rests with the human operator and a computer provides the data manipulation function

3.7

DXF

data format for AutoCAD

Note 1 to entry: AutoCAD is the trade name of a product supplied by Autodesk®. This information is given for the convenience of users of this document and does not constitute an endorsement by IEC of the product named. Equivalent products may be used if they can be shown to lead to the same results.

Note 2 to entry: It generally means a type of data format to draw figures using CAD board data.

3.8

design document

documentation of information necessary in circuit board design

3.9

device arrangement information

information that includes the position, the shape and attributes of the embedding device included in the net information

3.10

device embedded substrate

substrate in which an active device(s) (semiconductor device) and/or passive device(s) (e.g. resistor, capacitor) is formed using thick-film technology or by embedding it within the substrate

3.11

FLIP chip

FC

leadless monolithic circuit element structure that electrically and mechanically interconnects to a printed board by conductive bumps

3.12

Gerber

type of data format that consists of aperture selection and operation commands and dimensions in X- and Y-coordinates

Note 1 to entry: The data is generally used to direct a photo-plotter in generating photo-plotted artwork.

Note 2 to entry: Gerber is the trade name of a product supplied by Ucamco. This information is given for the convenience of users of this document and does not constitute an endorsement by IEC of the product named. Equivalent products may be used if they can be shown to lead to the same results.

3.13

interposer

material placed between two surfaces giving electrical insulation, redistribution of electrical connections, mechanical strength and/or controlled mechanical and thermal separation between the two surfaces

Note 1 to entry: An interposer may be used as a means for redistributing electrical connections and/or allowing for different thermal expansions between adjacent surfaces.

3.14**land
pad**

portion of a conductive pattern usually used for the connection and/or attachment of components

3.15**land definition**

maintenance of a shape of specific land, pad, solder resist and others

3.16**layer definition**

combination of physical information of shape and construction and logic information giving design and production units

3.17**layer map**

map showing the relation between devices and the board, the devices being arranged on the board

3.18**library**

database of design information, based on a design document, to be used in board CAD

3.19**logical layer**

layer that can be arbitrarily formed in the event that it is difficult to physically express a layer in a design

Note 1 to entry: It is possible to relate it to a physical layer.

Note 2 to entry: It is different from the layers in a multi-layer substrate.

3.20**micro-electro-mechanical system****MEMS**

system integrating micro-machine, mechanical elements, sensor, actuator, and electronic circuit into one module

3.21**net information**

device pin construction and wiring pattern in this PAS

3.22**package information**

shapes of board and devices when they have package shape patterns in this document

3.23**PoP****package on package**

single or multiple package(s) mounted on a package of a single chip or multiple chips as single package

3.24**physical layer**

layer consisting of a physical layer construction and structure

3.25

port information

information of figures and names of external terminals of a device or a substrate with terminals

3.26

structure

total structure of a device embedded substrate and/or surface device mounted to the substrate

3.27

SiP

system in a package

multi-chip package (MCP) that performs a system function

3.28

thermal land

heat energy may leak to outside of a land/through-hole when a device is soldered on a large pattern such as power supply or ground. A cut is often made around such a soldering point to prevent thermal dissipation

3.29

through silicon via

TSV

hole made in a silicon chip and filled with metal to electrically connect upper and lower side of the chip for 3D stacking package

3.30

via definition

via that is used as an interlayer connection, but in which there is no intention to insert a component lead or other reinforcing material

3.31

virtual layer

name of the layer connecting conductor layers when a device is embedded

Note 1 to entry: It corresponds to the connection point of a device terminal specified in IEC TS 62678-2-3.

3.32

wire bonding

WB

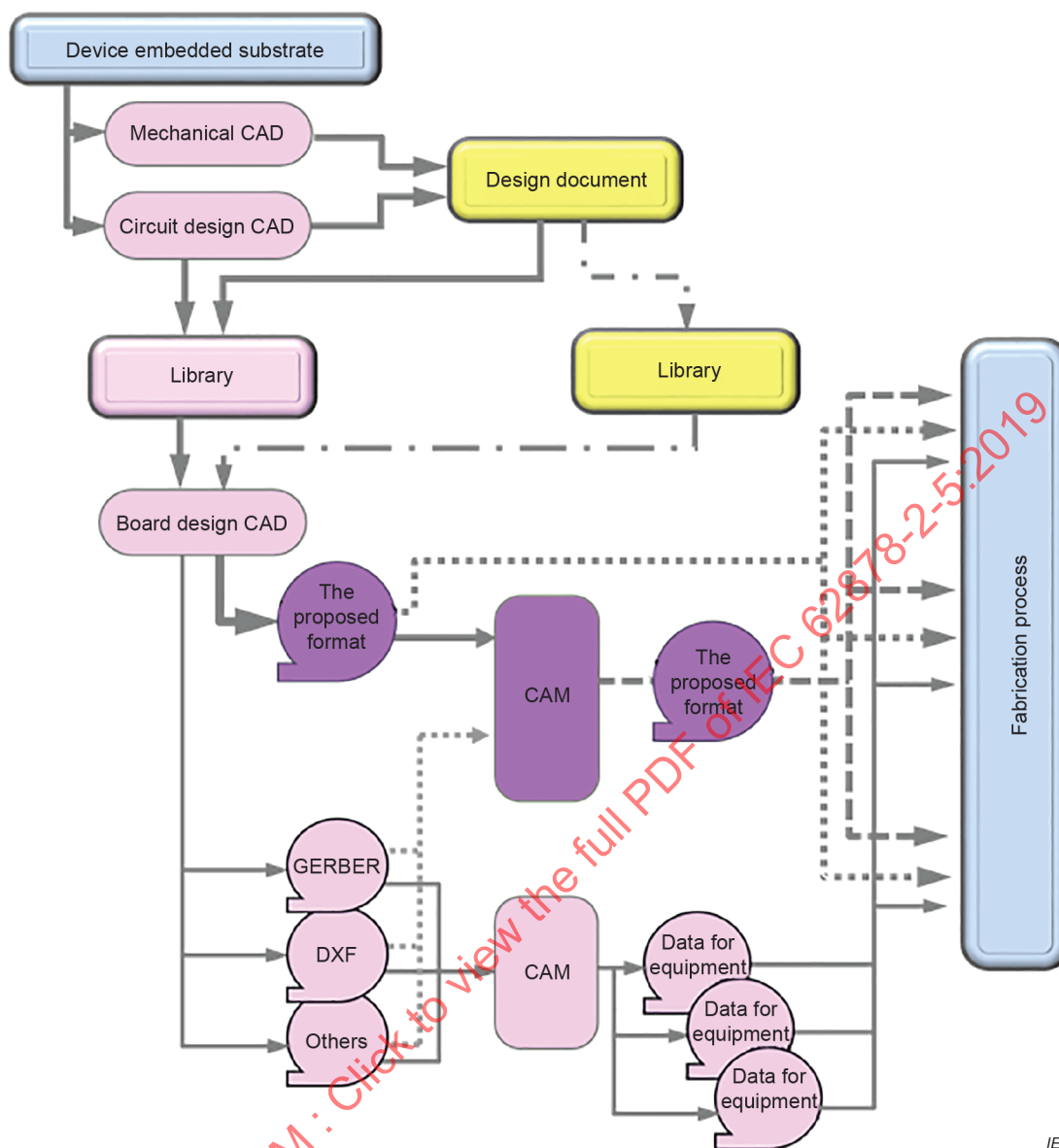
micro-bonding between a die and base material, lead frame, etc.

4 Data definition

4.1 Flow chart design of device embedded substrate

Figure 1 shows the design flow of a device embedded substrate. The design data can be directly sent to a board manufacturing system using this format, or can be converted to CAM data and then be used in production. The data contain 3D information of coordinates and shapes of devices used. It is possible to check the status of device embedding in a board, and also make it a common knowledge in production know-how of a production line.

This file format describes the detailed 3D information of the following electronic circuit boards, including device embedded substrate and SiP (system in package), and makes it possible to use necessary information from the stage of design to the fabrication of products.



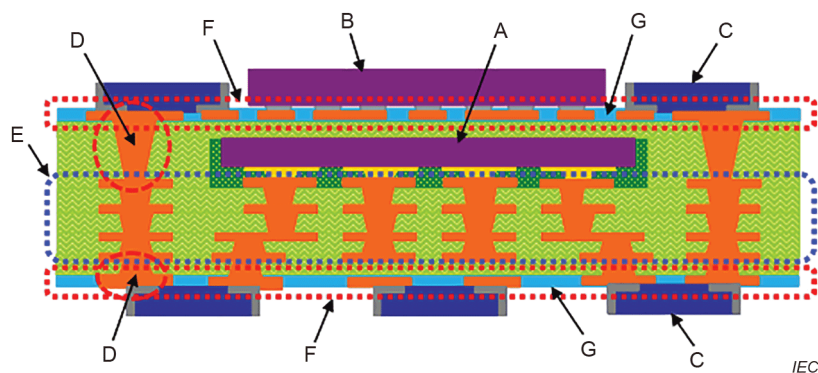
IEC

Figure 1 – Flow chart of design of device embedded substrate

4.2 Applicable range

4.2.1 Product

It is possible to maintain the following design information of a device embedded substrate as shown in Figure 2.



A	Embedded active device	E	Inner pattern
B	Surface mounted active device	F	Surface pattern
C	Surface mounted passive device	G	Solder resist
D	Layer connecting via		

Figure 2 – General structure of device embedded substrate

4.2.2 Process

The format describes maintained and available information of each stage in production as described in Table 1:

- 1) design,
- 2) simulation,
- 3) substrate fabrication,
- 4) device embedding,
- 5) test.

IECNORM.COM : Click to view the full PDF of IEC 62878-2-5:2019

Table 1 – Required information

Process	Holding data	Available data
Design	Circuit Components Shape of the board Board structure Design/Production rule (for check)	Limited condition Net list
Simulation	Circuit Characteristics of components Board properties (materials) Board structure Art work	Electrical properties Thermal properties Mechanical properties Electronic properties Additional information in production
Substrate fabrication	Art work Drilling Symbol marks Panel format	Equipment Additional information in production
Device embedding	Component shape Embedding position Interconnection terminals Symbol marks	Equipment Relative positions of component Component list
Test	Art work Component shape Component position Terminal information Marks	Electrical test equipment Video image inspection

4.3 Features

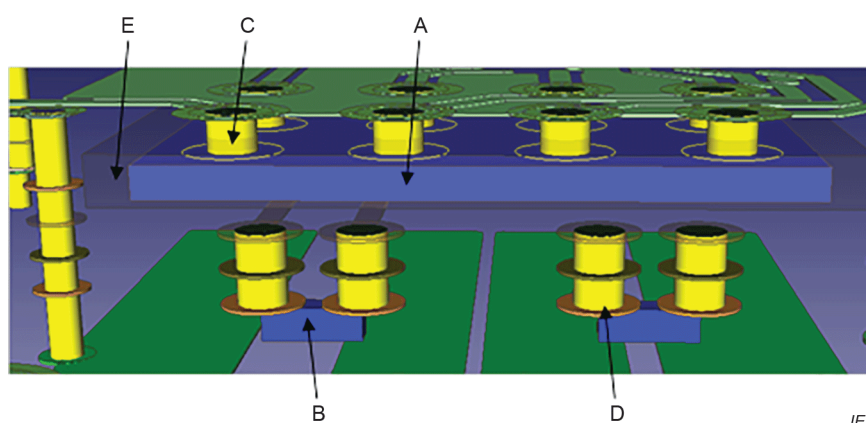
4.3.1 General

The data format has the following characteristics:

- 1) can contain the structure of the device embedded substrate specified in IEC TS 62678-2-3;
- 2) can contain information of SiP in general (chip stack, PoP TSV, wire bonding, FLIP chip, interposer, etc.);
- 3) holds design data of terminal positions of embedding device in a virtual layer specified in IEC TS 62678-2-3;
- 4) information on the internal structure of devices such as SiP, which cannot be described as a structure of a device embedded substrate and of a terminal structure as 3D design data;
- 5) seamless keeping of design data of devices having different levels, such as SiPs, and of embedding substrate.

4.3.2 Device embedded substrate structure

It is possible to keep and illustrate the 3D structure of the device embedded substrate as shown in Figure 3. It is also possible to check its 3D structure.

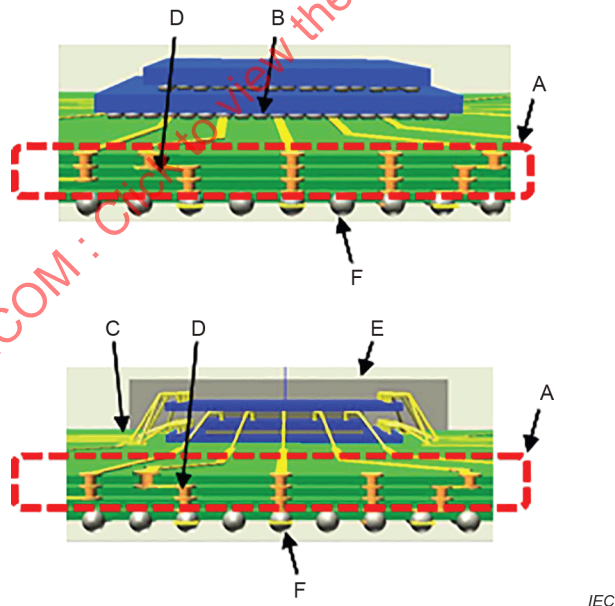


A	Embedded active device	D	Pad connection
B	Embedded passive device	E	Space without board material
C	Via connection		

Figure 3 – Example of device embedded substrate structure

4.3.3 SiP interposer structure

It is possible to keep and illustrate the 3D structure of the SiP substrate as shown in Figure 4. It is also possible to check the structures of FLIP chip and wire bonding mounting.

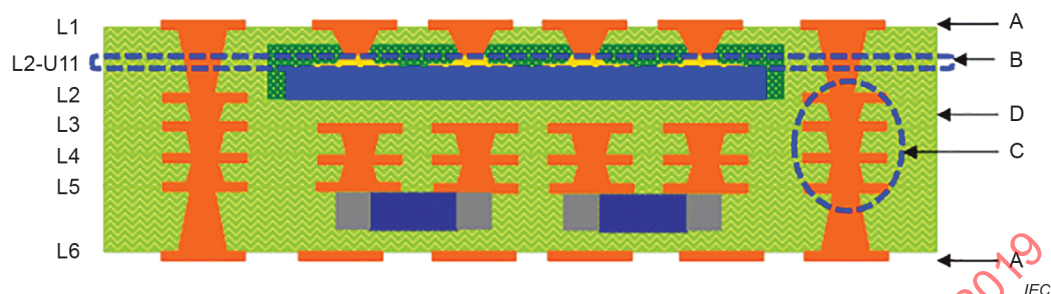


A	Interposer	D	Wiring in the Interposer
B	Flip-chip connection	E	Package
C	Wire bonding connection	F	Solder ball

Figure 4 – Examples of SiPs

4.3.4 Virtual layer description

It is possible to keep the design data of the terminal position of a via connection not on a conductor layer, but as in a virtual layer. It can be maintained in the structure shown in Figure 5.

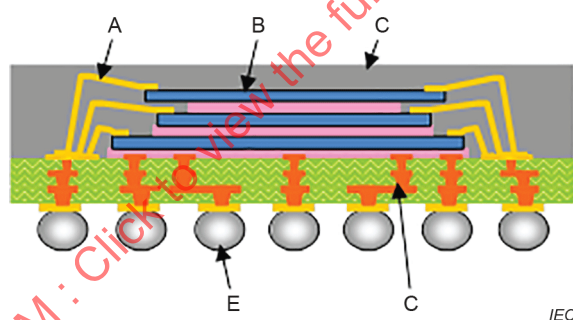


A	Surface conductor layer	C	Inner conductor
B	Virtual layer (connection position)	D	Insulation layer

Figure 5 – Example of virtual layer description

4.3.5 Terminal structure and embedded device structure including an SiP

It is possible to keep the design data of the terminal position of an SiP as shown in Figure 6.

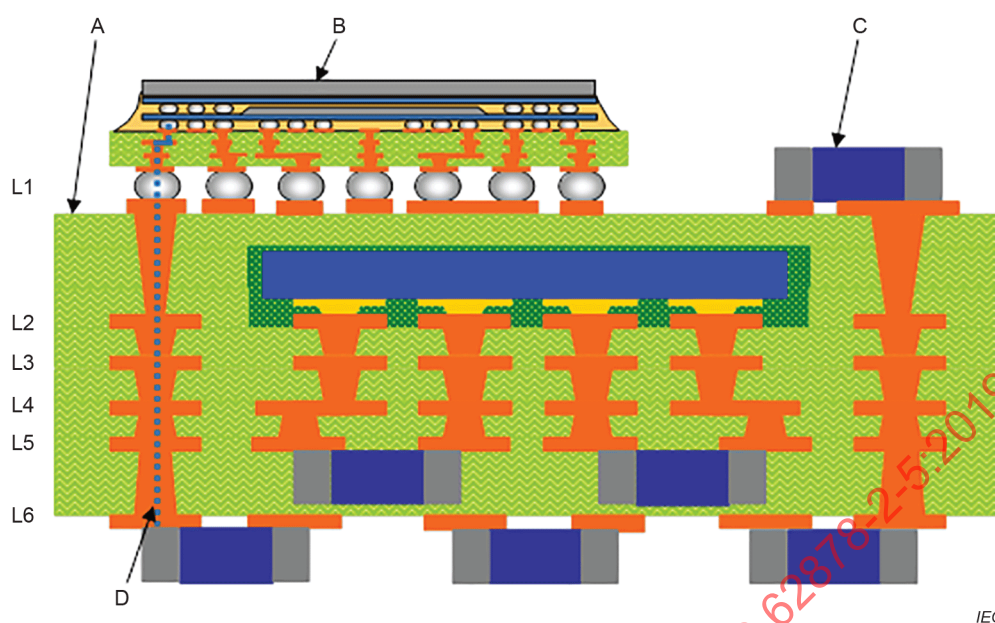


A	Bonding wire	D	Interposer
B	Chip stack	E	Solder ball
C	Package shape		

Figure 6 – Terminal structure

4.3.6 Total design data of an SiP and device embedded substrate

It is possible to keep the design data of an SiP and the device embedded substrate being made on different layers as shown in Figure 7.



A	Substrate	C	Surface mounted passive device
B	SiP	D	The same net

Figure 7 – Structure of SiP on a device embedded substrate

4.4 Data description summary

4.4.1 Type of data and structures

1) Type of data

There are the following data:

- substrate data,
- definition data.

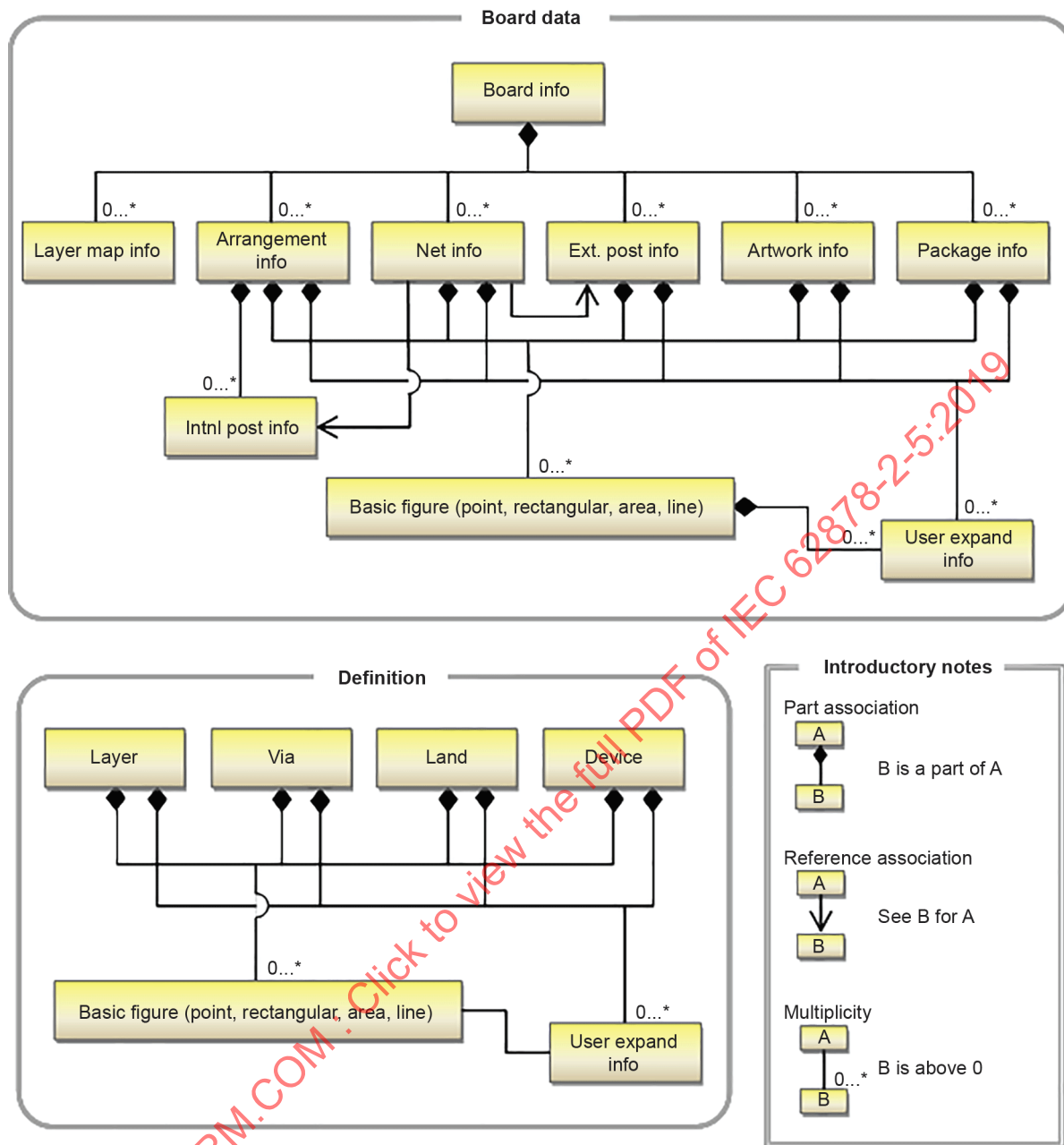
Details of these data are shown in Table 2.

Table 2 – List of data

Type		Details	
Type name	Content	Name	Content
Board data	Basic structure elements of board data	Board information	Total data of board including embedding devices
		Layer map information	Layer combination information of embedding devices and layers
		Device arrangement information	Position of devices and embedding layers
		Basic figure information	Available figure elements in board data There are ten (10) types of figures 1 Point 2 Area 3 Line 4 Text 5 Bonding wire 6 Semi-sphere 7 Rectangular prismoid 8 Via 9 Device 10 Group
		Net information	Device pin construction and wiring patterns
		Artwork information	Figure pattern other than wiring pattern
		Package information	Package figure information
		External terminal information	Figures and names of external terminals
		Internal terminal information	Figures and names of internal terminals
		User expandable information	Arbitrarily expandable data of the format user "Definition" = "Value" can be arbitrarily defined
Definition data	Definition of information that can be repeatedly used. It may be referred to from board data.	Layer definition	Shapes of layer construction, conductor layer(s) and insulation layer(s) – including scooped part such as a cavity
		Land definition	Shape of land (pad)
		Via definition	Diameter of via (pad stack) and land shape in each layer
		Device definition	Pin and package shape of embedding device
		Basic pattern information	Usable pattern elements in the defined data types of figures are the same as in board data
		User expandable information	Arbitrarily expandable data of the format user "Definition" = "Value" can be arbitrarily defined

2) Data structure

The data structure of this format is based on the board data shown in Figure 8. Repeatedly used data information is formalized and it is possible to identify definition data. The data expandable by users can be added to the board data and definition data.



IEC

Figure 8 – Data structure

4.4.2 File structure

File structure is either of the following two methods.

- 1) Each definition data and board data are stored in one file as shown Figure 9 (recommended).
- 2) Definition data are stored in a separate file as shown in Figure 10.

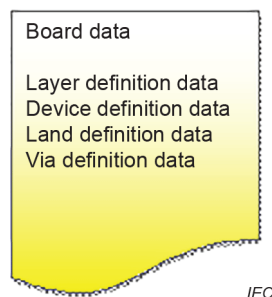


Figure 9 – One file structure (recommended)

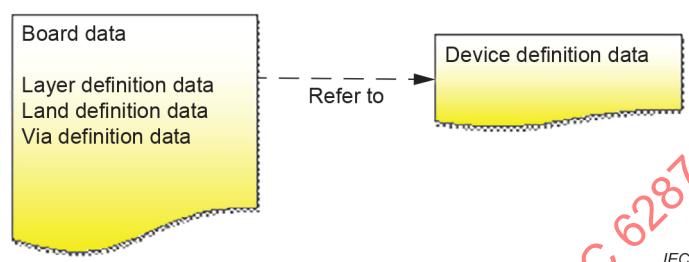


Figure 10 – Two file structure

4.5 3D expression

4.5.1 General

The format is expressed in 3D coordinates. 3D coordinate expression is a space expressed by three diagonal axes, X , Y and Z .

4.5.2 Coordinates

The coordinates of this format are shown in Figure 11 and have the following definitions.

- 1) Rotation of an axis is anticlockwise.
- 2) Selection of unit length may be selected from mm, μm and nm.
- 3) Directions of axes are horizontal direction for x -axis, side direction for y -axis and vertical (height/thickness) direction for z -axis.

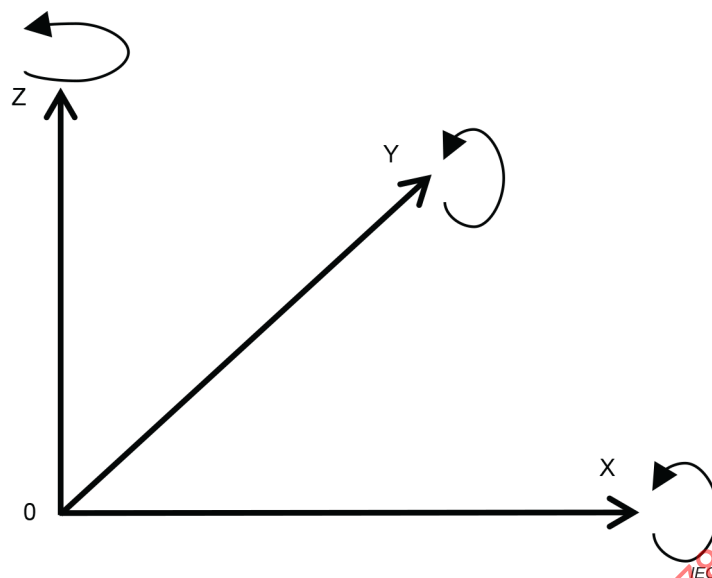


Figure 11 – Definition of coordinates

4.5.3 Position description

The specification of a 3D position is available as shown in Figure 12 to indicate layer structure and 3D coordination. The directions of the axes can be expressed in a horizontal direction for the x -axis, a side direction for the y -axis and a height direction for the z -axis.

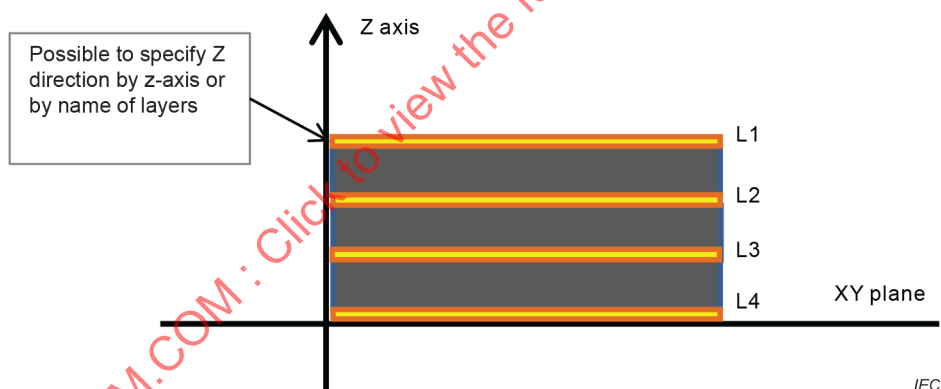


Figure 12 – Position definition

4.5.4 Relation between coordinate origin and board position

There is no specified relation between coordinates origin $[(x, y, z) = (0, 0, 0)]$ and the board position as shown in Figure 13.

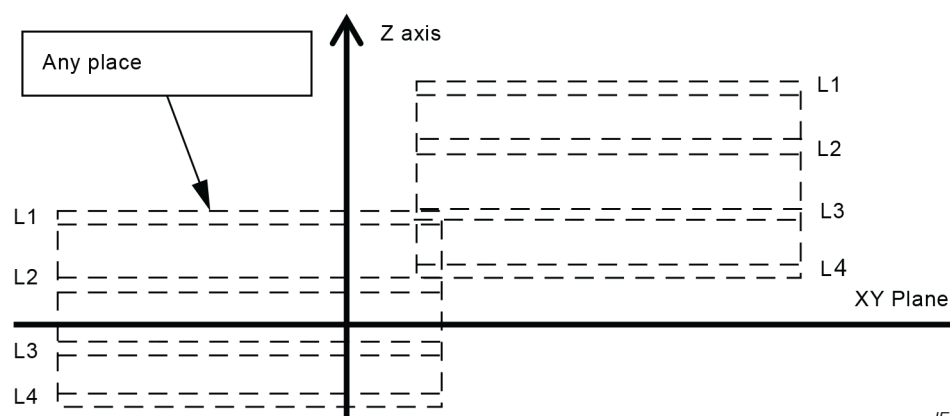


Figure 13 – Relation between coordinates and board position

4.6 Layer concept

There are two types of layers: the conductor layer and the virtual layer, as illustrated in Figure 14. Characteristics of layers are explained below. The conductor layer is the layer coinciding with the terminals of an embedding component and a conducting layer. The conductor layer with internal posts that can be connected to the embedded device is the embedding layer. This concept is not applicable to the embedding of a device that is not connected to a conductor layer, such as via connection. The virtual layer is considered as an imaginably conductor layer at interconnection points of an embedded component.

This format can maintain coordinate data and design data in both of layer base and the 3D Z-axis base design. It is recommended to maintain the layer-based data when the board structure information is required in IEC TS 62678-2-3. Use of 3D Z-coordinate base can be used for describing design data such as that for the SiP, which may not be an appropriate use of the above structure. The 3D Z-coordinate base may not be appropriate to describe information necessary in the production process. Additional information transfer other than defined the present format data may be necessary between processes (among designs and design to production) and efficiency may be lowered in design and production.

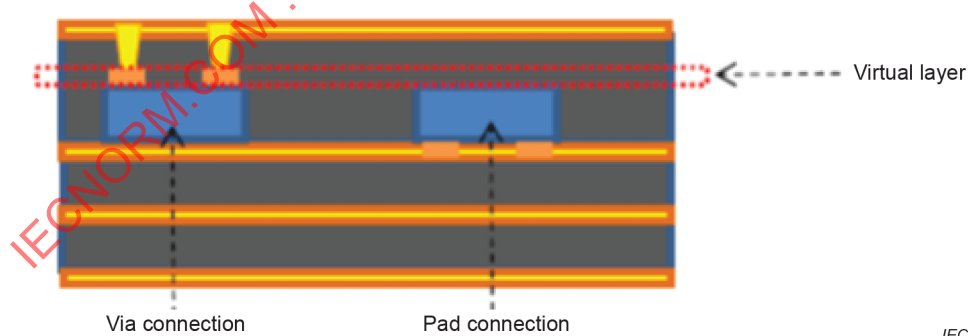


Figure 14 – Layer concept

4.7 Substrate data

4.7.1 General

As shown in Figure 8, board data are composed of nine information. Each type of information listed below is defined from 4.7.2 to 4.8.6.

- 1) Layer map information
- 2) Device arrangement information

- 3) Basic forms
- 4) Net information
- 5) Artwork information
- 6) Package information
- 7) External port information
- 8) Internal port information
- 9) User data expansion information

4.7.2 Layer map information

This information maintains the relation between inner and outer layers as devices are mounted and embedded, as shown in Figure 15 and Figure 16.

- 1) Information of mounting layers

The information shows connections in each mounting layer and mounting direction.

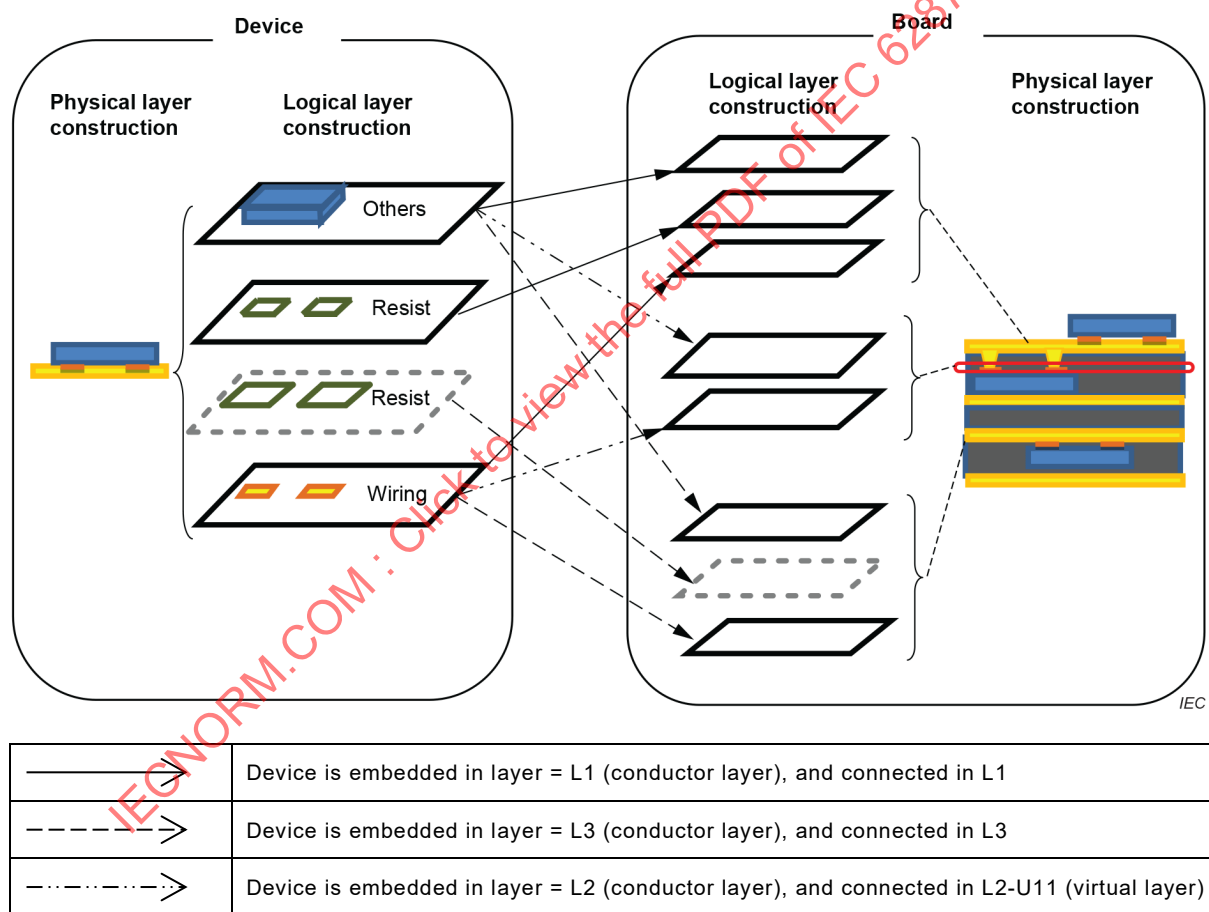


Figure 15 – Layer construction

- 2) Simplified layer construction

Logic layers for embedding devices and for boards are combined in cases where the layer map information is simplified. It is possible only in the case where there is only one logic layer of the same type in one physical layer.

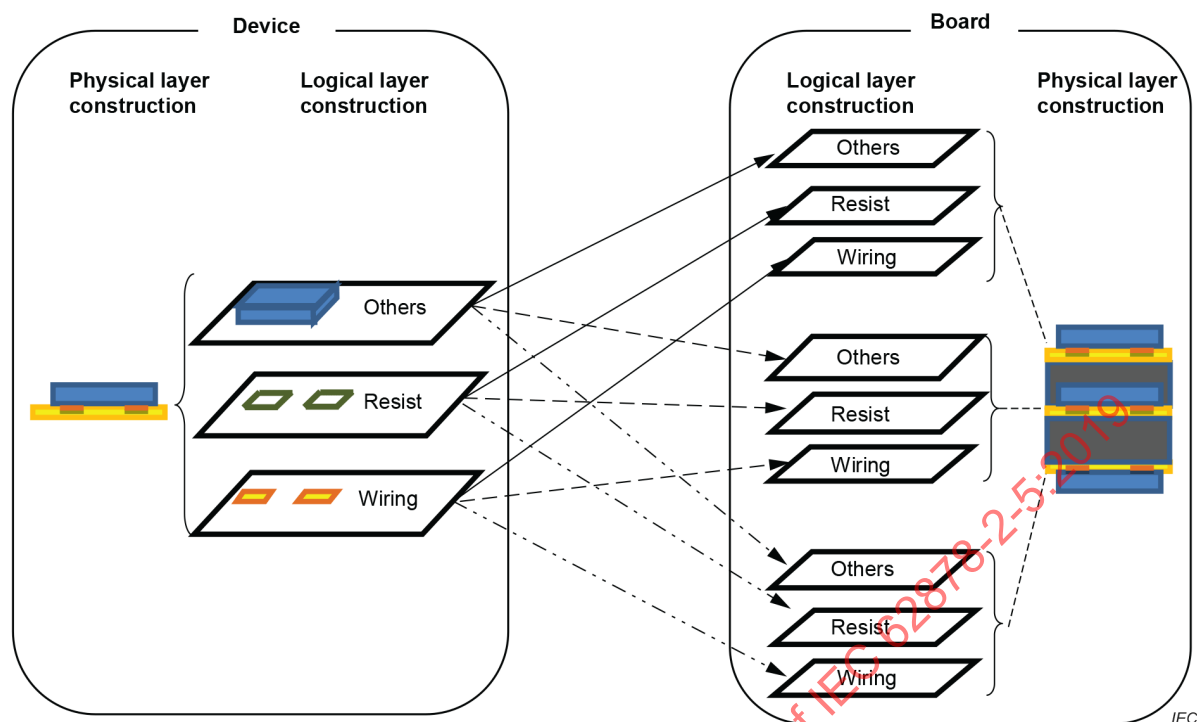


Figure 16 – Simplified layer construction

4.7.3 Device arrangement information

4.7.3.1 General

The information has a name, position, and configuration. The terminals of a device are automatically assigned.

1) Device name

Name of a device on a board is the reference name of the device.

2) Device position

It is possible to specify the position in the following two ways (layer base design/3D coordinate design)

- XY* coordinates/*Z*-axis rotation/embedding layer/embedding direction/off-set/connection terminal position in layer
- XYZ* coordinates/*XYZ* axes rotation

3) Device configuration

Specified name of a device

4.7.3.2 Attribute of device position and arrangement

1) Layer definition

There are two ways of describing the vertical position of an embedded device for layer and *Z*-axis. Details are shown in Figure 17 and Figure 18.

a) Pad connection

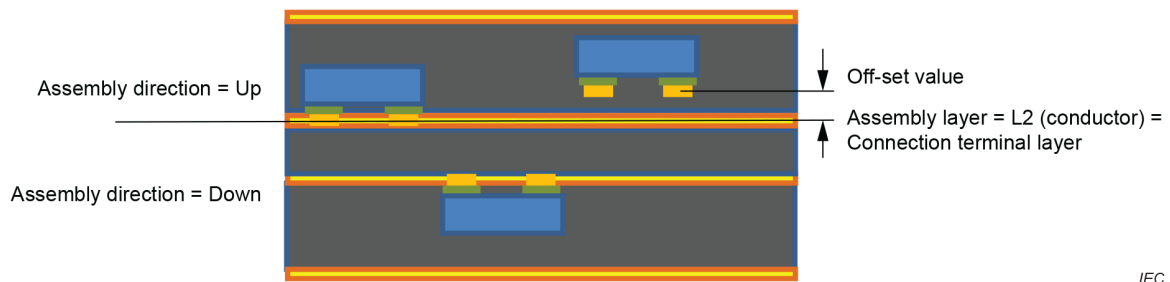


Figure 17 – Layer definition of pad connection

b) Via connection

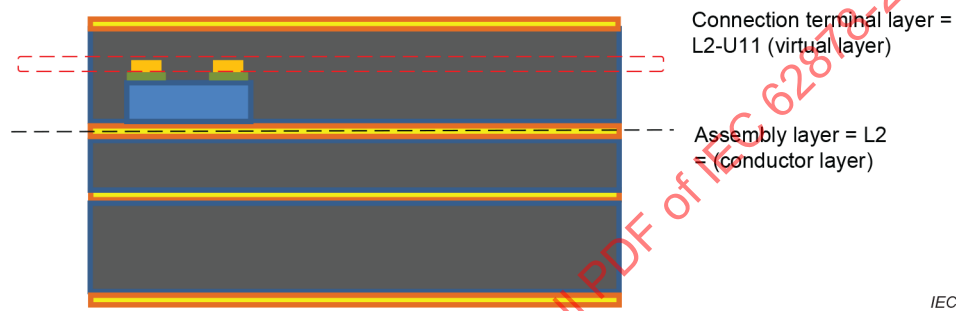
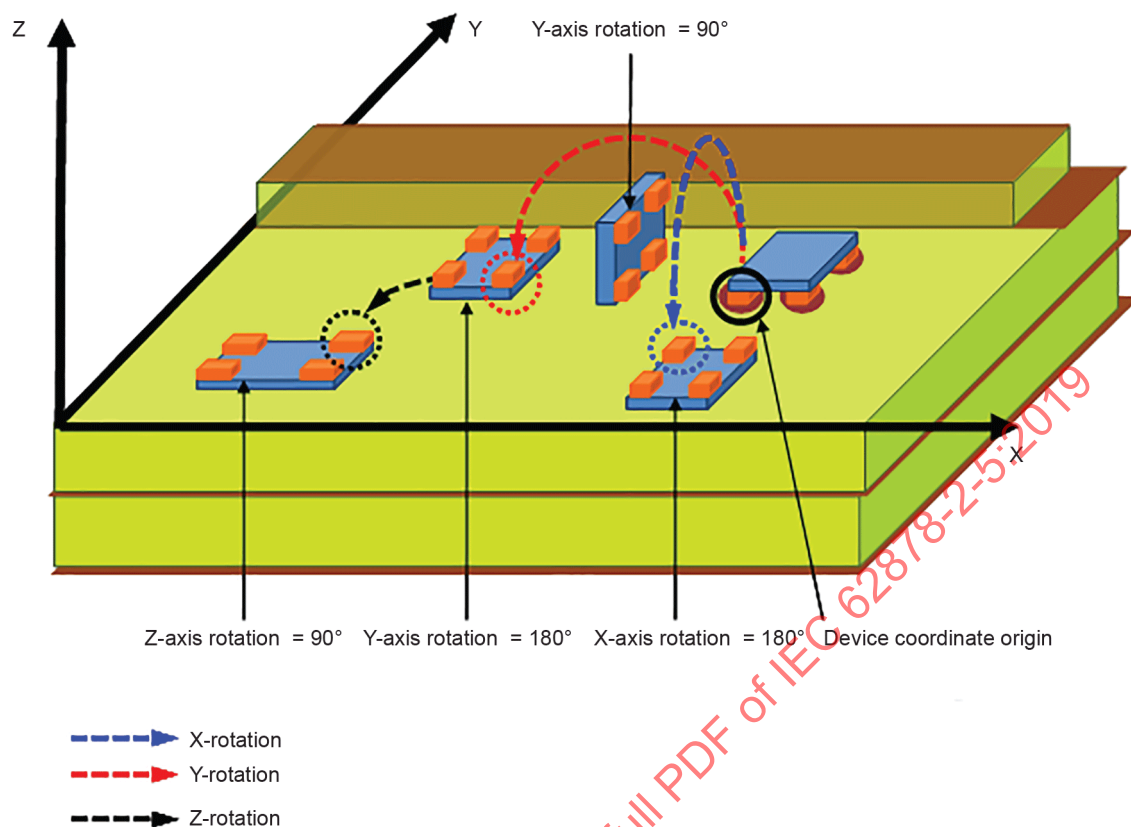


Figure 18 – Layer definition of via connection

2) Z coordinate definition

Figure 19 shows the rotation direction of devices on X, Y, and Z axes.



IEC

Figure 19 – Rotation direction on X, Y, and Z axes

4.7.4 Basic figures

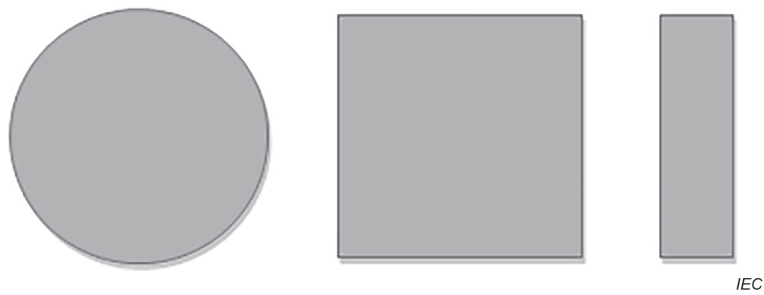
4.7.4.1 General

The following ten figures are available:

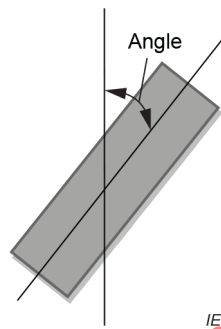
- 1) point;
- 2) area;
- 3) line;
- 4) text;
- 5) bonding wire;
- 6) semi-sphere;
- 7) rectangular prismoid;
- 8) via;
- 9) device;
- 10) group.

4.7.4.2 Point

Points describe round, square and rectangular shapes, rotation angle, and thickness, as shown in Figure 20.



a) Round, square and rectangular shapes



b) Rotation angle

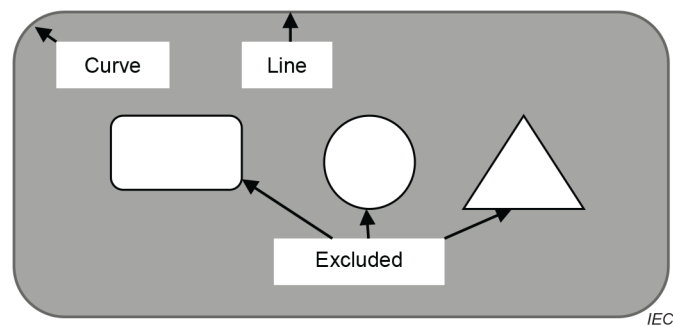


c) Thickness

Figure 20 – Point

4.7.4.3 Area

Areas can be specified as indicated in Figure 21.



It is a closed shape with many components and can specify lines/curves as composing elements and excluded parts.

a) Closed shape



IEC

b) Thickness

Figure 21 – Area**4.7.4.4 Line**

Lines can be specified as indicated in Figure 22.



IEC

Can specify a continuous line having lines and curves as composing elements.

a) Continuous line



IEC

Can specify an extruded shape (round/angle).

b) Extruded shape



← Regular wiring pattern (conductor)



← For bonding wire

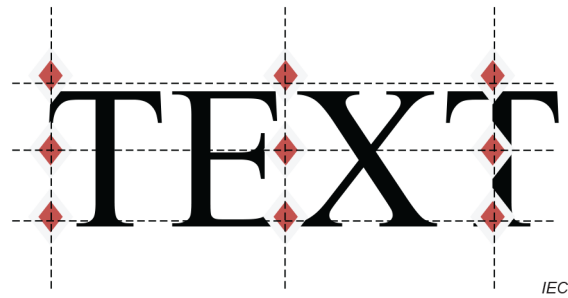
IEC

Can specify types of cross-sections (round or rectangular shape) and thickness.

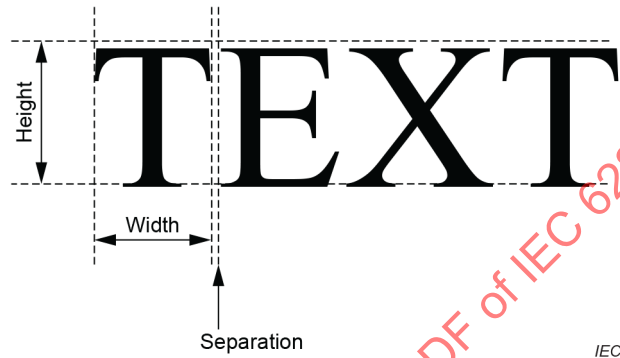
c) Cross-section

Figure 22 – Lines**4.7.4.5 Text**

The text can specify, as indicated in Figure 23 and Figure 24, the origin of a letter, its height, width and separation and inclination.



a) Original points of letters



b) Letter height/width/separation



c) Letter angle

Figure 23 – Letters



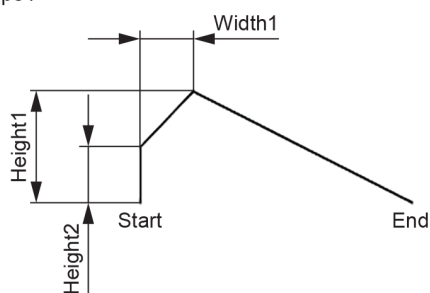
Possibility to maintain expanded patterns of vector font of text.

Figure 24 – Letter shape

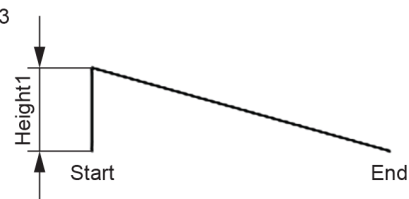
4.7.4.6 Bonding wire

Bonding wire information is summarized in Figure 25 for wire figure types 1 to 4.

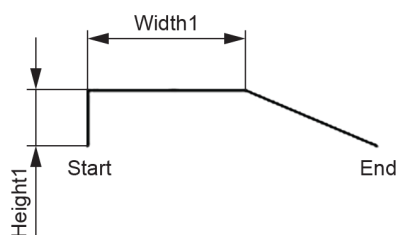
Wire figure type1



Wire figure type3



Wire figure type2



Wire figure type4

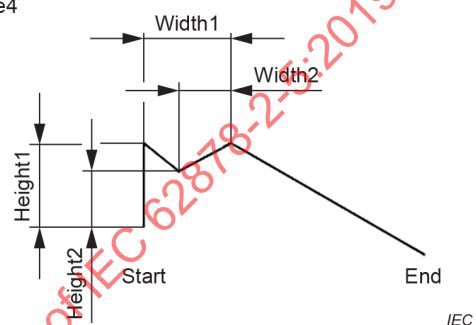
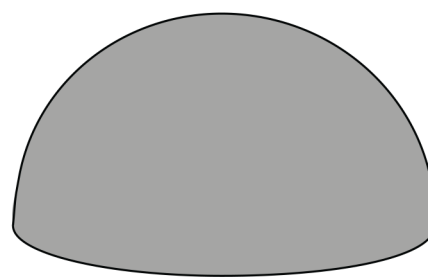
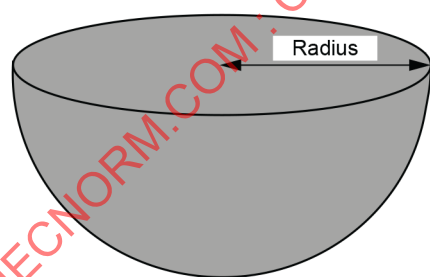
**Figure 25 – Bonding wire information****4.7.4.7 Semi-sphere**

Figure 26 shows semi-spheres in two directions. A semi-sphere is defined by the following parameters:

- 1) radius;
- 2) rotation angle.

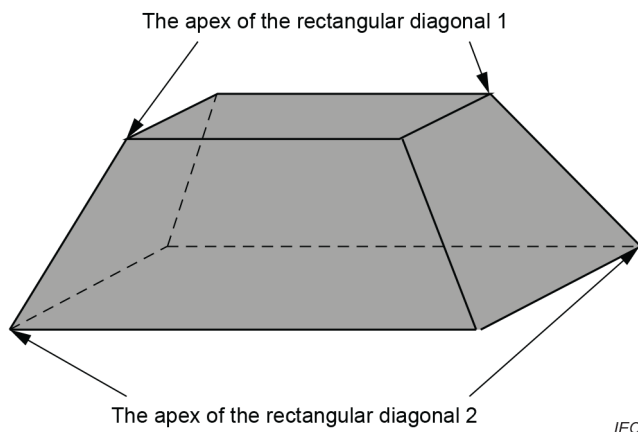


180° rotation

IEC

Figure 26 – Semi-sphere**4.7.4.8 Truncated pyramid**

The truncated quadrangular pyramid is represented by the apex of the rectangular diagonal of the lower surface and the apex of the rectangular diagonal of the upper surface, as shown in Figure 27.



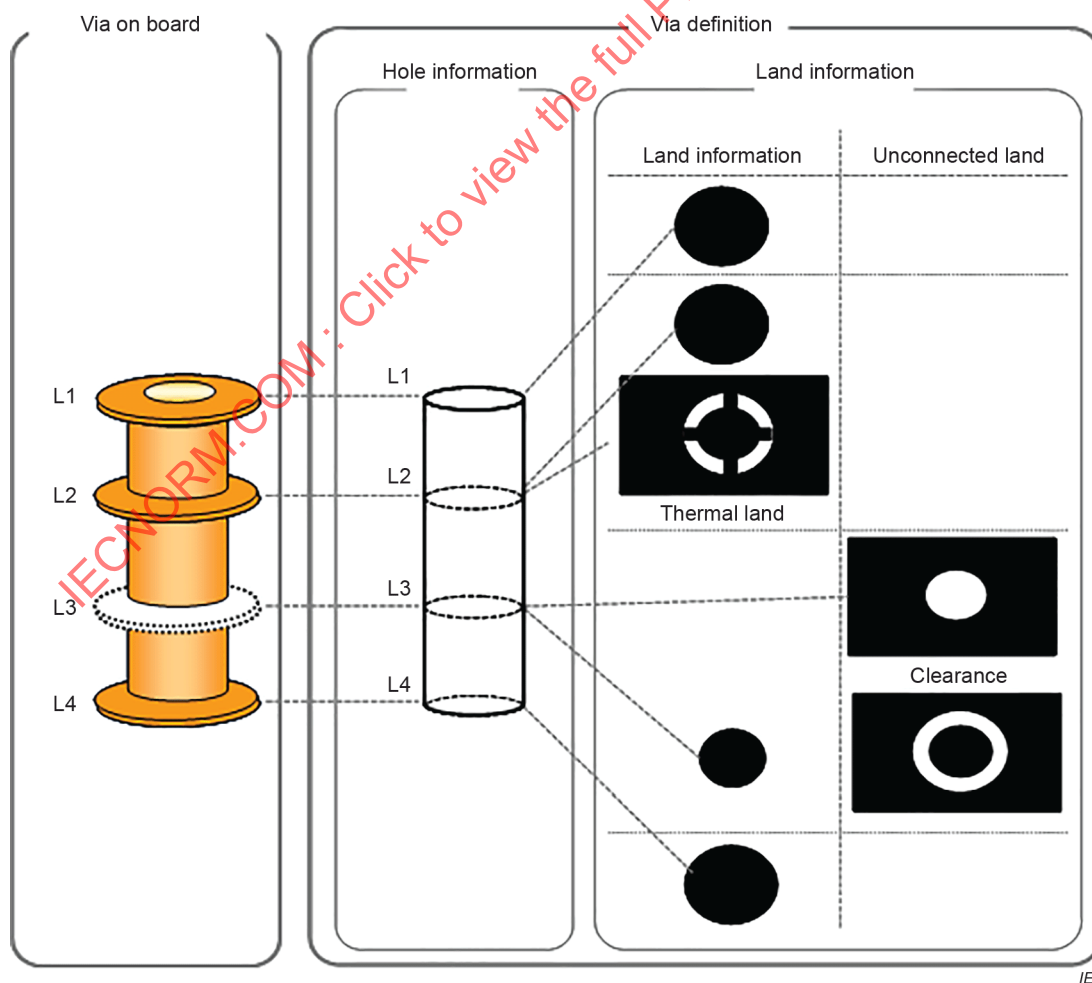
IEC

Figure 27 – Truncated pyramid

4.7.4.9 Via

Figure 28 shows the via information based upon the following categories:

- 1) hole information and land information;
- 2) connected via and un-connected via;
- 3) position, number of mounting device and separation.



IEC

Figure 28 – Via

4.7.4.10 Device

Figure 29 shows device information based upon the following categories:

- 1) device structure;
- 2) on-board structure;
- 3) position, number of mounting device and separation.

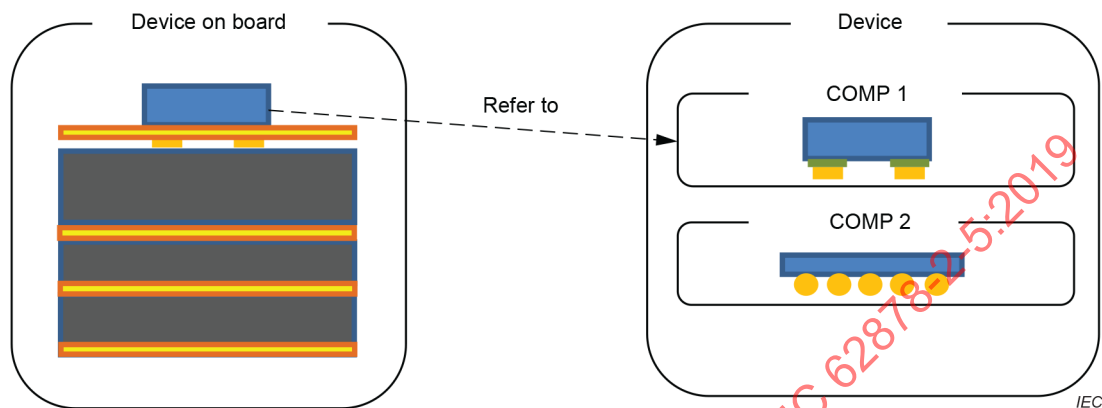


Figure 29 – Device definition

4.7.4.11 Group

Group is a combination of basic figures such as dimension lines as shown in Figure 30. It can be handled as one figure.



Figure 30 – Group

4.7.5 Net information

The net information maintains the connection terminal and wiring pattern information shown in Figure 31. Connection terminal information is the information giving interconnection between internal pads of a device or the connection of internal pads and external pads.

- 1) Connection pad information:
 - a) names of internal pads;
 - b) names of external pads.
- 2) Wiring figures:
 - a) point;
 - b) area;
 - c) line;
 - d) bonding wire;
 - e) semi-sphere;
 - f) via.

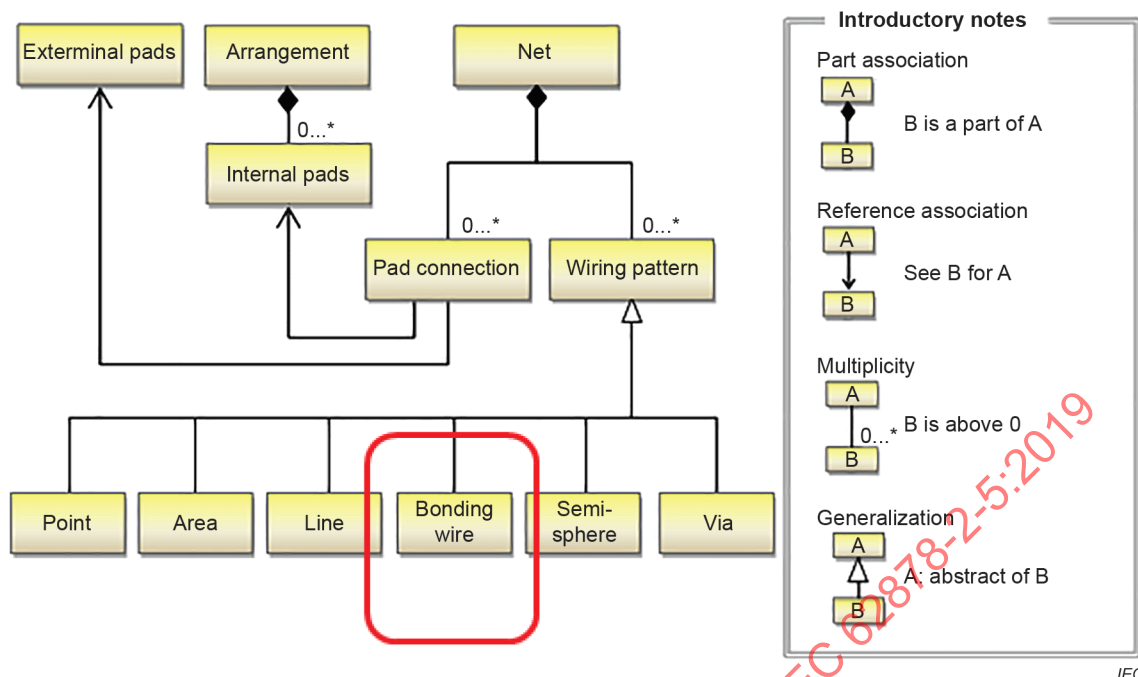


Figure 31 – Data structure of net information

4.7.6 Artwork information

Artwork information maintains artwork figure data on a board that are not included in the net information. Artwork figures include the following basic figures. Symbol mark, mould, spacer and remarks are also included in the information:

- 1) point;
- 2) area;
- 3) line;
- 4) text;
- 5) bonding wire;
- 6) semi-sphere;
- 7) rectangular prismoid;
- 8) via;
- 9) device.

4.7.7 Package information

The package information maintains the figures when the main structure has the package figure. The device package figure can use the following basic figures:

- 1) point;
- 2) area;
- 3) line;
- 4) text;
- 5) semi-sphere;
- 6) rectangular prismoid.

4.7.8 External port information

External ports are the terminals of signals to supply electronic information from embedded devices and boards to outside the board. The port's information maintains the shape and names of the external ports of the board structure. The following shapes can be used for the information:

- 1) point;
- 2) area;
- 3) line;
- 4) semi-sphere;
- 5) via.

4.7.9 Internal port information

Internal ports are the terminals when a device is embedded to supply data to external ports. They connect the inside net of the board to the outside world and have the same structure as the external ports.

4.7.10 User expansion information

The user expansion information illustrated in Figure 8 can be extended to include definition data and board data. A property is a piece of data that can be expanded by the user of this format. It is possible to apply this property to a part of the definition data and board data. It is possible to select any combination of "definition name" = "data".

4.8 Defined data

4.8.1 General

Defined data are the definition of repeatedly used information. The definition data illustrated in Figure 8 contain the following four definitions:

- 1) layer definition;
- 2) land definition;
- 3) via definition;
- 4) device definition.

4.8.2 Layer definition

The layer definition includes the two types of information, physical information that gives physical figures and construction, and logical information that can be specified arbitrarily as necessary during design. The virtual layer is included in the physical information. It is also possible to link the physical layer and the logical layer as shown in Figure 32.

- 1) Physical information:
 - a) it maintains physical layer structure and its order;
 - b) it maintains attributes of each physical layer such as size, shape and material of both conductor and insulator layers;
 - c) it maintains the types of conductor and virtual layers.
- 2) Logical layer information:
 - a) layout of figures (conductor, solder resist, symbol marks, etc.);
 - b) polarity of a figure (positive or negative);
 - c) link information to physical layer;
 - d) position relation with physical layer.

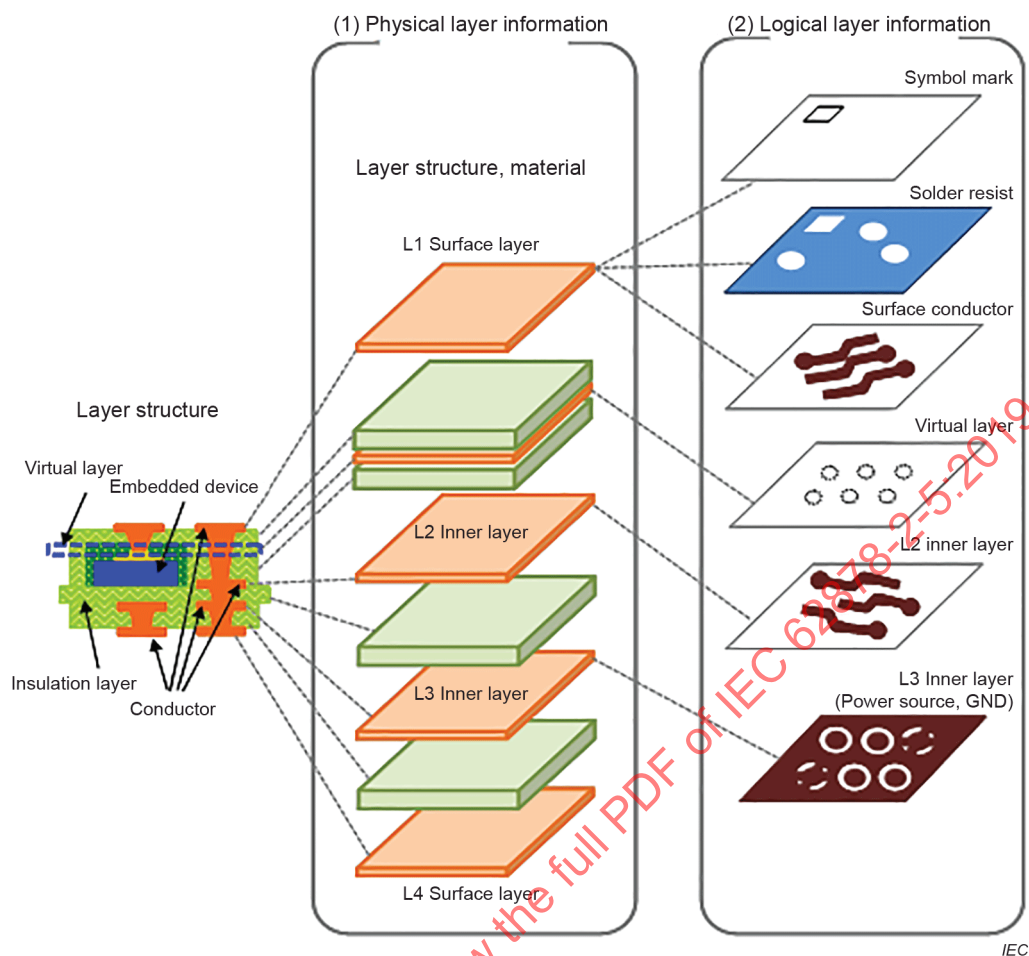


Figure 32 – Relation of layer definition data

4.8.3 Land definition

Figure 33 shows the land definition in three directions. Land definition is described by the following:

- 1) land with more than one basic figure;
- 2) land with positive and negative figures;
- 3) all lands except conductor lands with resist.

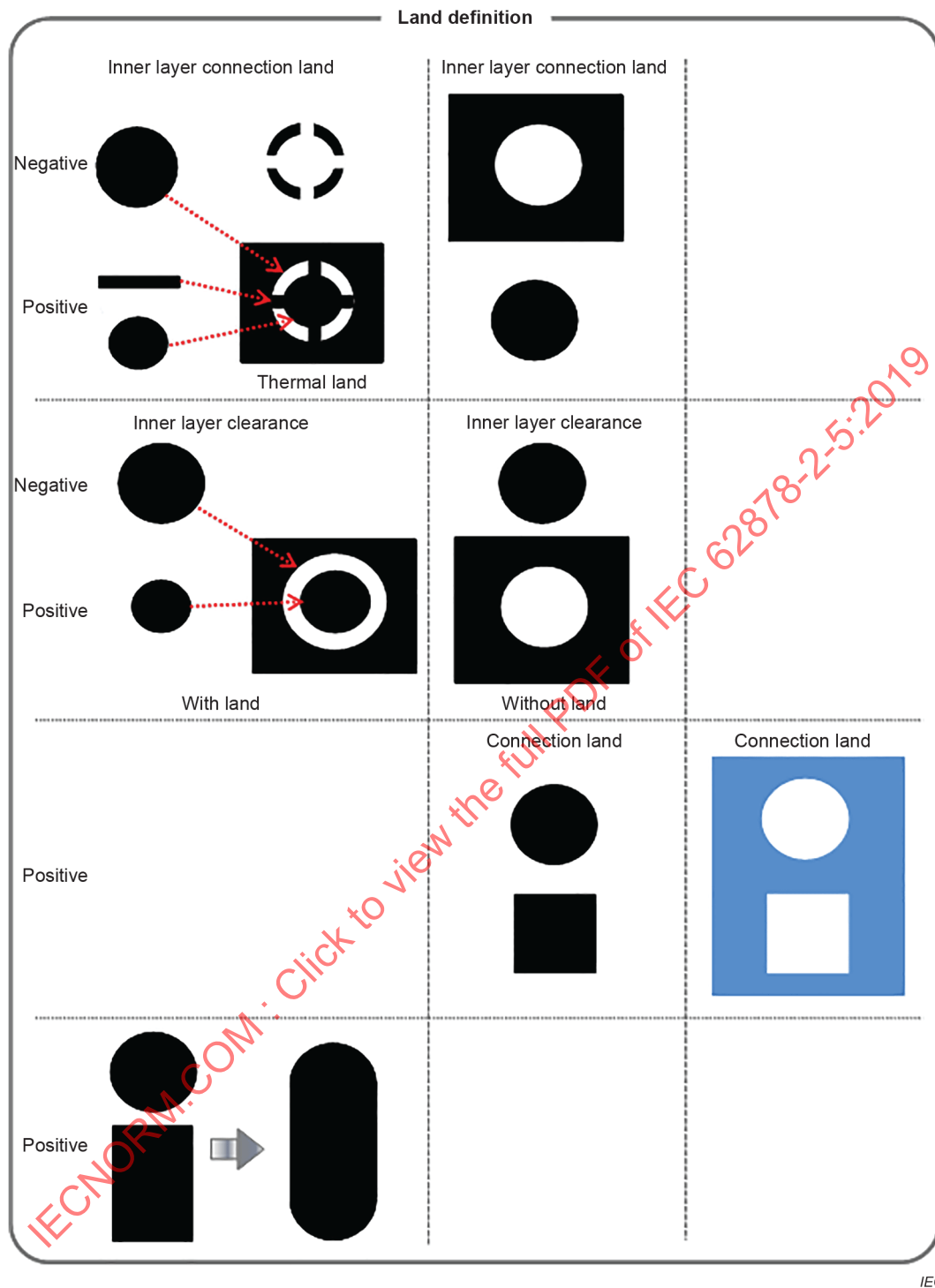
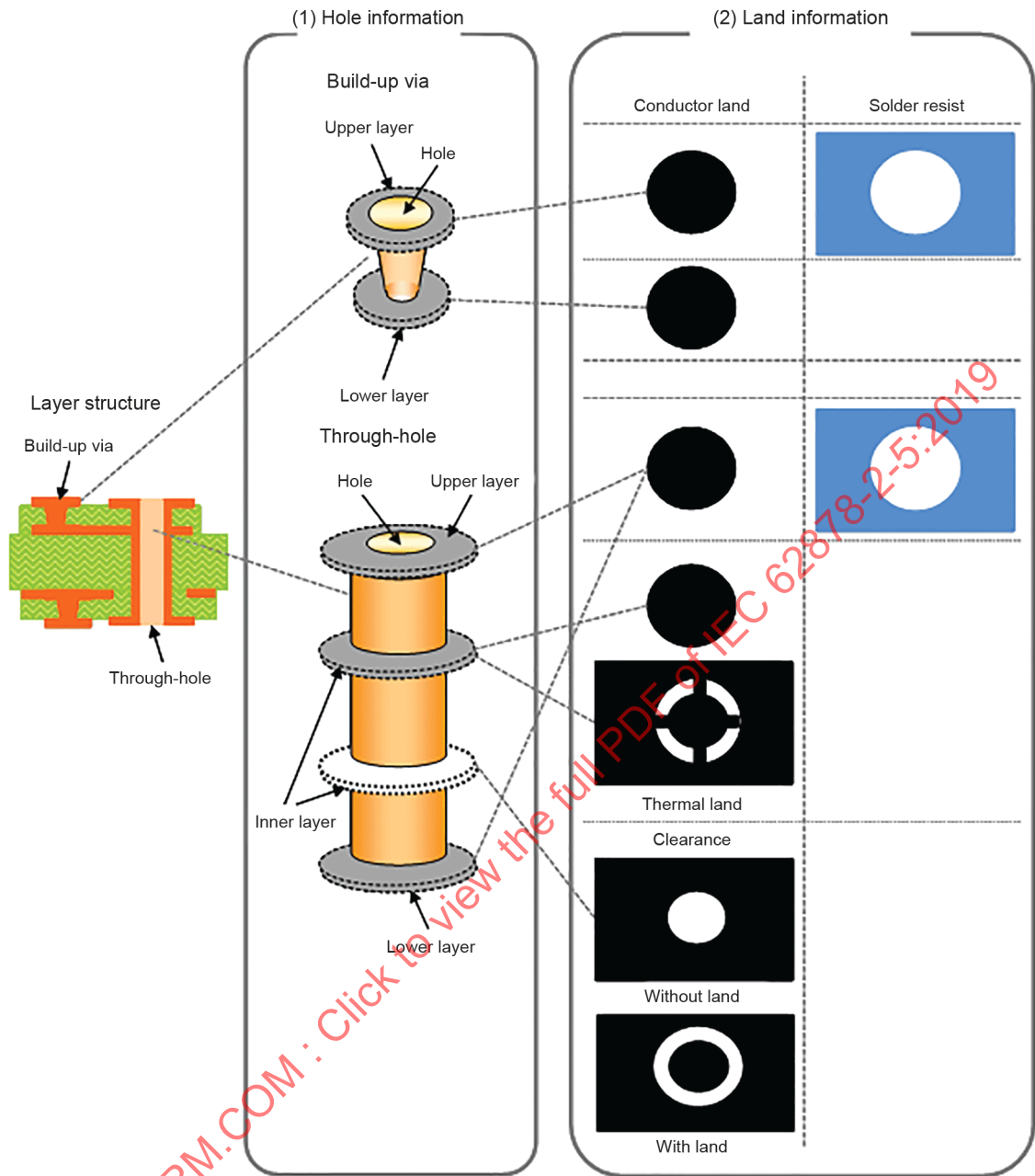


Figure 33 – Land definition

4.8.4 Via definition

Via definition is the information of holes and lands used in a device embedded substrate, as illustrated in Figure 34.



IEC

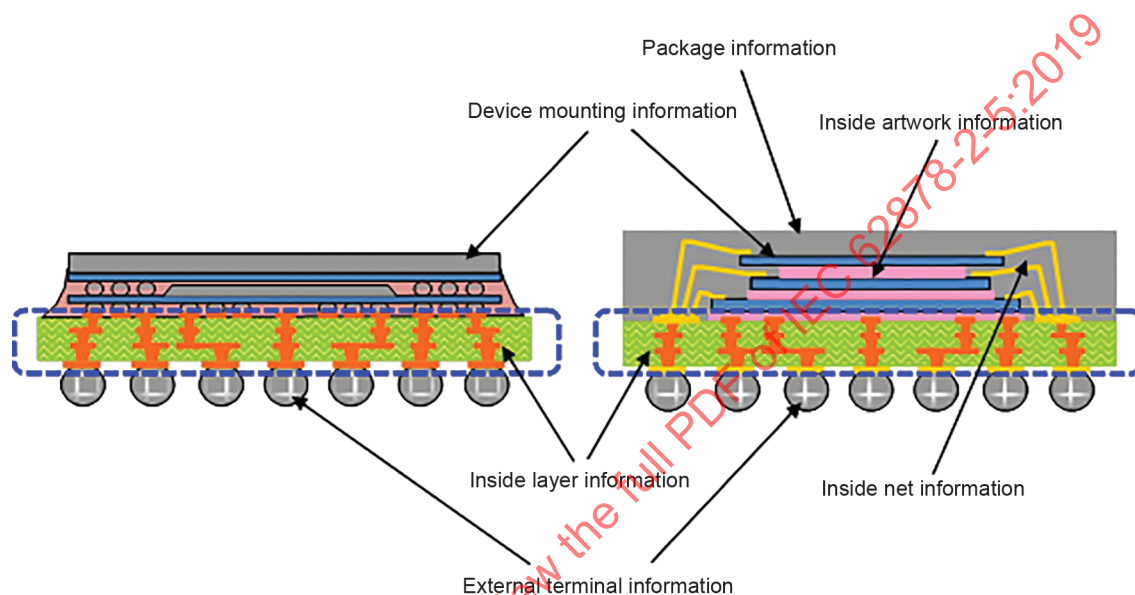
- 1) Hole information:
 - a) shape of a hole is round or rectangular;
 - b) it shows the area in which a through-hole exists;
 - c) it shows the area for an existing build-up hole.
- 2) Land information:
 - a) land information corresponds to each layer and final structure.

Figure 34 – Relation between hole information and land information

4.8.5 Device definition

Information of the component arrangement on a board is kept in the library. Two patterns of information arrangement can be held as illustrated for SiPs, modules and MEMS for complete components that hold wiring drawings completely as shown in Figure 35, and one for connection information and wiring drawing are simplified into black boxes as shown in Figure 36 for packages and modules.

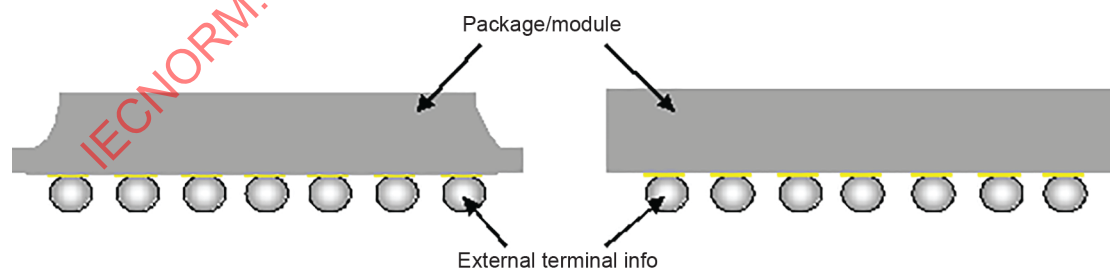
- 1) Embedded device with information of internal connections (the same construction as the board information to be described later).
 - a) Layer information within component Layer construction, shape
 - b) Component arrangement information Position information of component
 - c) Net information Wiring shape, internal and external
 - d) Terminal connection information
 - e) Artwork information Shapes other than 1) to 3)
 - f) Package information Package and module shapes
 - g) External terminal information External terminal shape, name



IEC

Figure 35 – Device with internal connection information

- 2) Package and mold components
 - a) Package information shape of the package
 - b) External terminal information shape and name of external terminal



IEC

Figure 36 – Device without internal connection information

4.8.6 User expansion definition

The user expansion definition makes it possible to enlarge a part of definition data and board data, as shown in Figure 8. Property is the data that the user of a format can freely expand to their usage. It is possible to apply to definition data and a part of board data. It is possible to give combinations of "definition" = "value" to suit the user's preferences.

5 Data organization and data description based on XML schema

5.1 General

Figure 37 and Figure 38 show the structure of an example board named Example 1, which has 3 conductive layers, an active device in layer and a passive device on layer. This document shows how to describe data organization and data description of Example 1 based on the XML schema called "FUJIKO data format". One of the features is to represent a connection in a 3D structural way by introducing a 3D coordinates system (X, Y, Z) and the virtual layer concept. The XML file format standard as defined by the World Wide Web Consortium (W3C) has been adopted. Example 1 consists of 3 conductive layers (L1, L2 and L3), and one virtual layer (L2-U11). The virtual layer aims to represent the terminal position of the via connection, except any conductive layer.

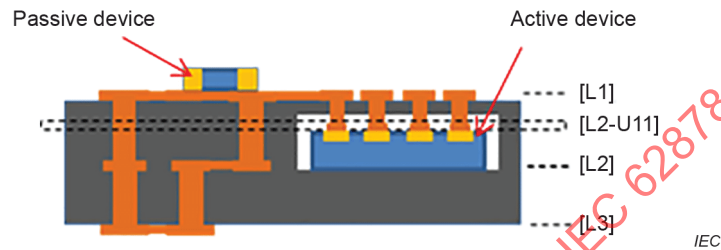


Figure 37 – Cross sectional view of Example 1

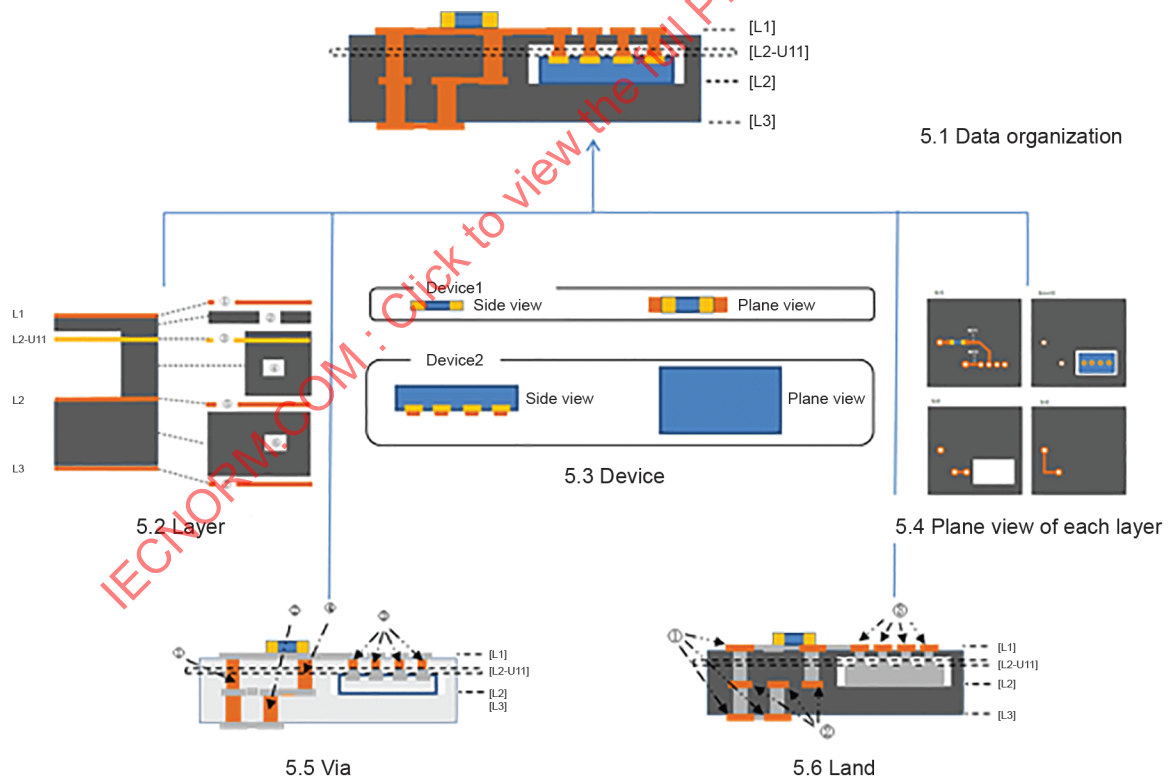


Figure 38 – Data organization of Example 1

5.2 Data organization of Example 1

The data organization of Example 1 is shown in Figure 39. Details of data that are in the description are as follows: the 4th to 6th lines in Figure 39 show the layer stack-up; the 8th to

14th, devices; the 16th to 18th, the plane view of each layer; the 20th to 22th, the via, and the 24th to 26th, the land.

```

1  <?xml version="1.0" encoding="UTF-8"?>
2  <EB02 version="1.0" date="2015-10-29">
3
4  <LayerDef name="3Layers" unit="mm">
5  Part of Layer stack-up
6  </LayerDef>
7
8  <Structre name="device1" type="DEVICE" unit="mm" vialib="viadef" >
9  Part of Device
10 </Structure>
11
12 <Structre name="device2" type="CHIP" unit="mm" vialib="viadef" >
13 Part of Device
14 </Structure>
15
16 <Structre name="example1" type="PCB" unit="mm" layerdef="3Layers"
vialib="viadef" >
17 Part of Plane view of each layer
18 </Structure>
19
20 <ViaLib name="viadef" layerdef=" 3Layers" landlib="landdef" unit="mm">
21 Part of Via
22 </ViaLib>
23
24 <LandLib name="landdef" unit="mm">
25 Part of Land
26 </LandLib>
27
30 </EB02>

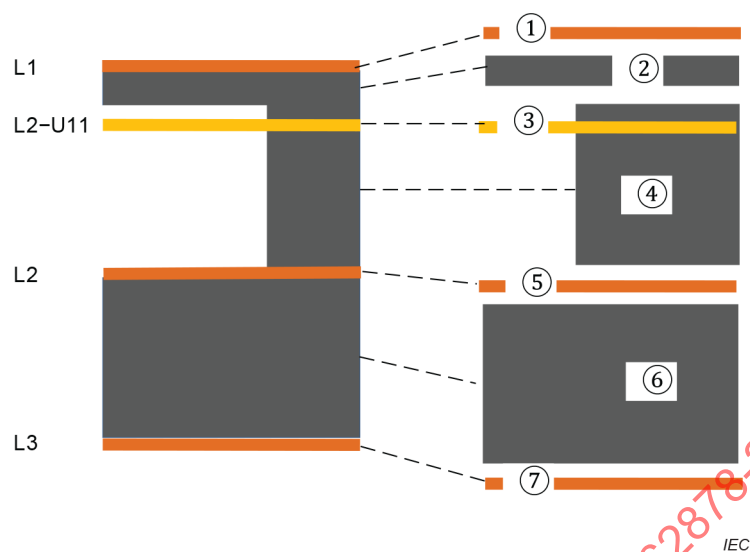
```

IEC

Figure 39 – Data description of Example 1

5.3 Data description of layer stack-up

Figure 40 shows layer stack-up of Example 1, which consists of three conductive layers (L1, L2, L3), and one virtual layer (L2-U11).



Key

- ① conductive layer L1
- ② non-conductive layer L1
- ③ virtual layer L2-U11
- ④ non-conductive layer L1 including a cavity
- ⑤ conductive layer L2
- ⑥ non-conductive layer L2
- ⑦ conductive layer L3

Figure 40 – Layer structure of Example 1

The data description of layer stack-up is shown in Figure 41.

```

1      <LayerDef name="3Layers" unit="mm">
2
3      <Plate name="L1" type="CONDUCTOR" material="cupper" >
4          <Area thickness=" 0.01000" >
5              <Coordinate point="0.00000, 0.00000, 0.42000"/>
6              <Coordinate point="10.00000, 0.00000, 0.42000"/>
7              <Coordinate point="10.00000, 10.00000, 0.42000"/>
8              <Coordinate point="0.00000, 10.00000, 0.42000"/>
9              <Coordinate point="0.00000, 0.00000, 0.42000"/>
10         </Area>
11     </Plate>
12
13     <Plate name="L1-noncon" type="NONCONDUCTOR" material="FR4" >
14         <Area thickness="0.030000" >
15             <Coordinate point="0.00000, 0.00000, 0.39000"/>
16             <Coordinate point="10.00000, 0.00000, 0.39000"/>
17             <Coordinate point="10.00000, 10.00000, 0.39000"/>
18             <Coordinate point="0.00000, 10.00000, 0.39000"/>
19             <Coordinate point="0.00000, 0.00000, 0.39000"/>
20         </Area>
21     </Plate>
22
23     <Plate name="L2-U11" type="CONDUCTOR" material="cupper" >
24         <Area thickness=" 0.01000" >
25             <Coordinate point="0.00000, 0.00000, 0.37000"/>
26             <Coordinate point="10.00000, 0.00000, 0.37000"/>
27             <Coordinate point="10.00000, 10.00000, 0.37000"/>
28             <Coordinate point="0.00000, 10.00000, 0.37000"/>
29             <Coordinate point="0.00000, 0.00000, 0.37000"/>
30         </Area>
31     </Plate>
32

```

... ①

... ②

... ③

```

33 <Plate name="L1-noncon" type="NONCONDUCTOR" material="FR4" >
34   <Area thickness="0.170000" > . . . ④
35     <Coordinate point="0.00000, 0.00000, 0.22000"/>
36     <Coordinate point="10.00000, 0.00000, 0.22000"/>
37     <Coordinate point="10.00000, 10.00000, 0.22000"/>
38     <Coordinate point="0.00000, 10.00000, 0.22000"/>
39     <Coordinate point="0.00000, 0.00000, 0.22000"/>
40     <Cutout>
41       <Coordinate point="4.00000, 2.00000, 0.22000"/>
42       <Coordinate point="9.00000, 2.00000, 0.22000"/>
43       <Coordinate point="9.00000, 5.00000, 0.22000"/>
44       <Coordinate point="4.00000, 5.00000, 0.22000"/>
45       <Coordinate point="4.00000, 2.00000, 0.22000"/>
46     </Cutout>
47   </Area>
48 </Plate>
49
50 <Plate name="L2" type="CONDUCTOR" material="cupper" >
51   <Area thickness=" 0.01000" > . . . ⑤
52     <Coordinate point="0.00000, 0.00000, 0.21000"/>
53     <Coordinate point="10.00000, 0.00000, 0.21000"/>
54     <Coordinate point="10.00000, 10.00000, 0.21000"/>
55     <Coordinate point="0.00000, 10.00000, 0.21000"/>
56     <Coordinate point="0.00000, 0.00000, 0.21000"/>
57   </Area>
58 </Plate>
59
60 <Plate name="L2-noncon" type="NONCONDUCTOR" material="FR4" >
61   <Area thickness="0.20000" > . . . ⑥
62     <Coordinate point="0.00000, 0.00000, 0.01000"/>
63     <Coordinate point="10.00000, 0.00000, 0.01000"/>
64     <Coordinate point="10.00000, 10.00000, 0.01000"/>
65     <Coordinate point="0.00000, 10.00000, 0.01000"/>
66     <Coordinate point="0.00000, 0.00000, 0.01000"/>
67   </Area>
68 </Plate>
69
70 <Plate name="L3" type="CONDUCTOR" material="cupper" >
71   <Area thickness="0.01000" > . . . ⑦
72     <Coordinate point="0.00000, 0.00000, 0.00000"/>
73     <Coordinate point="10.00000, 0.00000, 0.00000"/>
74     <Coordinate point="10.00000, 10.00000, 0.00000"/>
75     <Coordinate point="0.00000, 10.00000, 0.00000"/>
76     <Coordinate point="0.00000, 0.00000, 0.00000"/>
77   </Area>
78 </Plate>
79
80 </LayerDef>

```

IEC

Key

- ① conductive layer L1
- ② non-conductive layer L1
- ③ virtual layer L2-U11
- ④ non-conductive layer L1 including a cavity
- ⑤ conductive layer L2
- ⑥ non-conductive layer L2
- ⑦ conductive layer L3

Figure 41 – Data description of layer stack-up

5.4 Data description of device

The passive device of Example 1 is named device 1, the active device of Example 1 is named device 2. Figure 42 shows the shape of device 1. Details of device 1 are shown as below.

- Package information
Rectangle, size of $XY = 1,60 \text{ mm} \times 0,80 \text{ mm}$, thickness = $0,25 \text{ mm}$
- Port information
Has 2 ports. Each shape is rectangular. $XY = 0,40 \text{ mm} \times 0,80 \text{ mm}$, thickness: $0,25 \text{ mm}$.
- Footprint information
The pad shape of port 1 and port 2 is rectangular, $XY = 1,00 \text{ mm} \times 0,80 \text{ mm}$

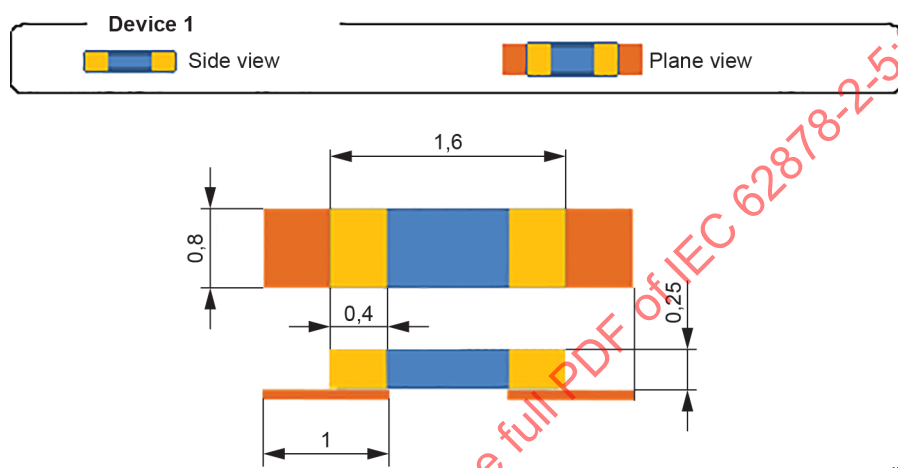


Figure 42 – Configuration of device 1

The data description of device 1 is shown in Figure 43.

```

1  <Structure name="device1" type="DEVICE" unit="mm" vialib="viadef" >
2
3    <PackageInfo>
4      <Area thickness=" 0.25000" >
5        <Coordinate point="0.00000, -0.40000, 0.00000"/>
6        <Coordinate point="1.60000, -0.40000, 0.00000"/>
7        <Coordinate point="1.60000, 0.40000, 0.00000"/>
8        <Coordinate point="0.00000, 0.40000, 0.00000"/>
9        <Coordinate point="0.00000, -0.40000, 0.00000"/>
10     </Area>
11   </PackageInfo>
12
13   <PortInfo>
14     <Port name="1" type="INOUT">
15       <Area thickness=" 0.25000" >
16         <Coordinate point="0.00000, -0.40000, 0.00000"/>
17         <Coordinate point="0.40000, -0.40000, 0.00000"/>
18         <Coordinate point="0.40000, 0.40000, 0.00000"/>
19         <Coordinate point="0.00000, 0.40000, 0.00000"/>
20         <Coordinate point="0.00000, -0.40000, 0.00000"/>
21       </Area>
22     </Port>
23     <Port name="2" type="INOUT">
24       <Area thickness=" 0.25000" >
25         <Coordinate point="1.20000, -0.40000, 0.00000"/>
26         <Coordinate point="1.60000, -0.40000, 0.00000"/>
27         <Coordinate point="1.60000, 0.40000, 0.00000"/>
28         <Coordinate point="1.20000, 0.40000, 0.00000"/>
29         <Coordinate point="1.20000, -0.40000, 0.00000"/>
30       </Area>
31     </Port>
32   </PortInfo>
33
34   <FootPrintInfo>
35     <FootPrint>
36       <PadInfo>
37         <Pad portname="1">
38           <Point shape="RECTANGLE" size1="0.8" size2="1.0">
39             <Coordinate point="0.00000, 0.00000,"/>
40           </Point>
41         </Pad>
42         <Pad portname="2">
43           <Point shape="RECTANGLE" size1="0.8" size2="1.0">
44             <Coordinate point="0.00000, 0.00000,"/>
45           </Point>
46         </Pad>
47       </PadInfo>
48     </FootPrint>
49   </FootPrintInfo>
50
51 </Structure>

```

IEC

Figure 43 – Data description of device 1

Figure 44 shows the shape of device 2. Details of device 2 are shown below.

- Package information:
Rectangle, size of $XY = 4,00 \text{ mm} \times 2,00 \text{ mm}$, thickness = 0,15 mm
- Port information:
That has 4 port. Each port is a round shape with a diameter of 0,30 mm.
- Footprint information:
Each shape of footprint is round with a diameter of 0,25 mm, arranged at 1,00 mm pitch.

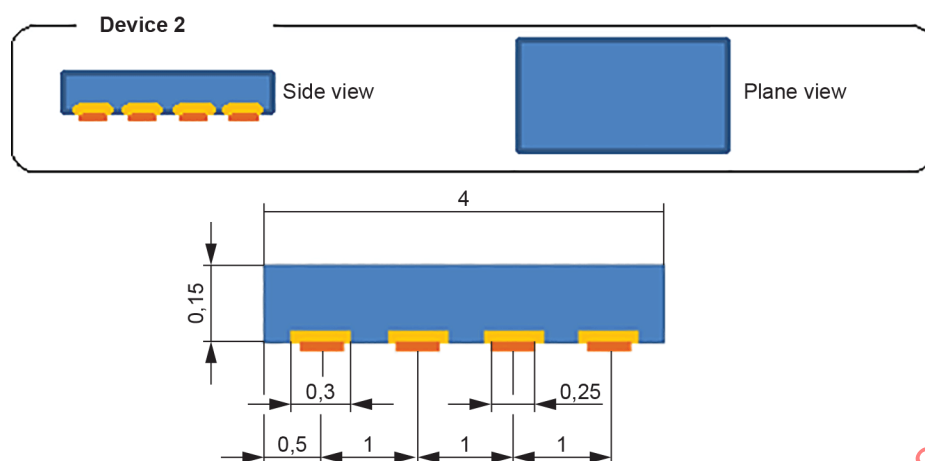


Figure 44 – Configuration of device 2

The data description of device 2 is shown in Figure 45.

IECNORM.COM : Click to view the full PDF of IEC 62878-2-5:2019

```

1  <Structure name="device2" type="CHIP" unit="mm" grid="0.001" vialib="viadef" >
2
3      <PackageInfo>
4          <Area thickness=" 0.15000" >
5              <Coordinate point="-0.50000, -1.00000, 11-pack"/>
6              <Coordinate point="3.50000, -1.0000, 11-pack"/>
7              <Coordinate point="3.50000, 1.00000, 11-pack"/>
8              <Coordinate point="-0.50000, 1.00000, 11-pack"/>
9              <Coordinate point="-0.50000, -1.00000, 11-pack"/>
10         </Area>
11     </PackageInfo>
12
13     <PortInfo>
14         <Port name="1" type="INOUT">
15             <Point shape="ROUND" size="0.30000">
16                 <Coordinate point="0.00000, 0.00000, 0.00000"/>
17             </Point>
18         </Port>
19         <Port name="2" type="INOUT">
20             <Point shape=" ROUND" size="0.30000">
21                 <Coordinate point="1.00000, 0.00000, 0.00000"/>
22             </Point>
23         </Port>
24         <Port name="3" type="INOUT">
25             <Point shape=" ROUND" size="0.30000">
26                 <Coordinate point="2.00000, 0.00000, 0.00000"/>
27             </Point>
28         </Port>
29         <Port name="4" type="INOUT">
30             <Point shape=" ROUND" size="0.30000">
31                 <Coordinate point="3.00000, 0.00000, 0.00000"/>
32             </Point>
33         </Port>
34     </PortInfo>
35
36     <FootPrintInfo>
37         <FootPrint>
38             <PadInfo>
39                 <Pad portname="1">
40                     <Point shape="ROUND" size="0.25000">
41                         <Coordinate point="0.00000, 0.00000, 0.00000"/>
42                     </Point>
43                 </Pad>
44                 <Pad portname="2">
45                     <Point shape=" ROUND" size=" 0.25000">
46                         <Coordinate point="1.00000, 0.00000, 0.00000"/>
47                     </Point>
48                 </Pad>
49                 <Pad portname="3">
50                     <Point shape=" ROUND" size=" 0.25000">
51                         <Coordinate point="2.00000, 0.00000, 0.00000"/>
52                     </Point>
53                 </Pad>
54                 <Pad portname="4">
55                     <Point shape=" ROUND" size=" 0.25000">
56                         <Coordinate point="3.00000, 0.00000, 0.00000"/>
57                     </Point>
58                 </Pad>
59             </PadInfo>
60         </FootPrint>
61     </FootPrintInfo>
62
63 </Structure>

```

IEC

Figure 45 – Data description of device 2

5.5 Data organization of layer

Figure 46 shows the four layers of Example 1. The reference number of device 1 is named C1. The reference number of device 2 is IC1. C1 is mounted on L1, and is connected on L1. The net of the right side is named NET1. IC1 is mounted on L2 by FLIP chip assembly, and is connected at L2-U11 by the via. The net from IC1 to L1 by the via is named NET2.

Board information consists of 3 parts.

1) Device arrangement information

C1 is mounted on the upper side of L1. The coordinates are $X = 2,60$ mm, $Y = 5,00$ mm. IC1 is mounted on the lower side of the virtual layers L2-U11. The coordinates are, $X = 5,00$ mm, $Y = 2,50$ mm.

2) Net information

NET 1 starts from terminal 2 of the C1 and is connected to via 3 through a line of 0,3 mm in width.

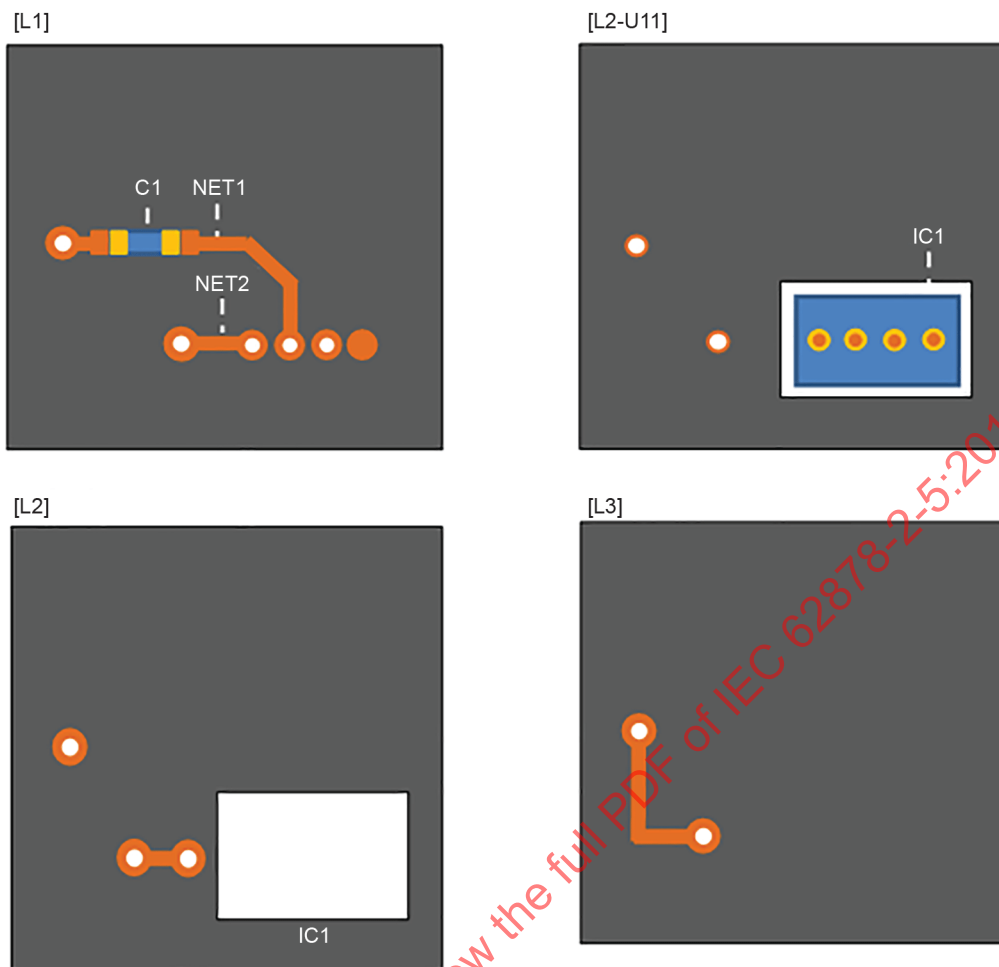
NET 1 ends at C2 terminal of IC1 through via 3.

NET 2 starts from terminal 1 of IC1 and is connected to a line on L1 through via 3, then is connected to a line on L3 through via 1. The line is connected to a line on L2 through via 2, then is connected to a line on L1 through via 4. Finally, NET 2 ends at the terminal 1 of C1.

3) Artwork information

Two vias are not included in the net of the layer L1.

The data description of board Information is shown in Figure 47.



IEC

Figure 46 – Layer view of Example 1

```

1  <Structre name="Example1" type="PCB" unit="mm" grid="0.001" layerdef="3layers"
vialib="viadef" >
2
3      <InstanceInfo>
4          <Instance name="C1">
5              <StructureInst name="device1" side="UP">
6                  <Coordinate point="2.60000, 5.00000,L1"/>
7              </StructureInst>
8          </Instance>
9          <Instance name="IC1">
10             <StructureInst name="device2" side="DOWN">
11                 <Coordinate point="5.00000, 2.50000,L2-U11"/>
12             </StructureInst>
13         </Instance>
14     </InstanceInfo>
15
16     <NetInfo>
17         <Net name="NET1" type="SIGNAL">
18             <PinInfo>
19                 <Pin instname="C1" portname="2"/>
20                 <Pin instname="IC1" portname="2"/>
21             </PinInfo>
22             <Line cutshape="SQUARE" shape="ROUND" width="0.30000">
23                 <Coordinate point="6.00000, 2.50000,L1"/>
24                 <Coordinate point="6.00000, 3.75000,L1"/>
25                 <Coordinate point="5.00000, 5.00000,L1"/>
26                 <Coordinate point="3.80000, 5.00000,L1"/>
27             </Line>
28             <ViaInst name="via3">
29                 <Coordinate point="6.00000, 2.50000,"/>
30                 <Layer name="L1" state="CONNECT"/>
31             </ViaInst>
32         </Net>
33
34         <Net name="NET2" type="SIGNAL">
35             <PinInfo>
36                 <Pin instname="C1" portname="1"/>
37                 <Pin instname="IC1" portname="1"/>
38             </PinInfo>
39             <Line cutshape="SQUARE" shape="ROUND" width="0.30000">
40                 <Coordinate point="2.6 0000, 5.00000,L1"/>
41                 <Coordinate point="1.50000, 5.0000,L1"/>
42             </Line>
43             <ViaInst name="via1">
44                 <Coordinate point="1.50000, 5.00000,"/>
45                 <Layer name="L1" state="CONNECT"/>
46                 <Layer name="L2" state="NONCONNECT"/>
47                 <Layer name="L3" state="CONNECT"/>
48             </ViaInst>
49             <Line cutshape="SQUARE" shape="ROUND" width="0.30000">
50                 <Coordinate point="1.50000, 5.00000,L3"/>
51                 <Coordinate point="1.50000, 2.50000,L3"/>
52                 <Coordinate point="2.50000, 2.50000,L3"/>
53             </Line>

```

```

54     <ViaInst name="via2">
55         <Coordinate point="2.50000, 2.50000,"/>
56         <Layer name="L2" state="CONNECT"/>
57         <Layer name="L3" state="CONNECT"/>
58     </ViaInst>
59     <Line cutshape="SQUARE" shape="ROUND" width="0.30000">
60         <Coordinate point="2.50000, 2.50000,L2"/>
61         <Coordinate point="3.75000, 2.50000,L2"/>
62     </Line>
63     <ViaInst name="via4">
64         <Coordinate point="3.75000, 2.50000,"/>
65         <Layer name="L1" state="CONNECT"/>
66         <Layer name="L2" state="CONNECT"/>
67     </ViaInst>
68     <Line cutshape="SQUQRE" shape="ROUND" width="0.30000">
69         <Coordinate point="3.75000, 2.50000,L2"/>
70         <Coordinate point="5.00000, 2.50000,L2"/>
71     </Line>
72     <ViaInst name="via3">
73         <Coordinate point="5.00000, 2.50000,"/>
74         <Layer name="L1" state="CONNECT"/>
75     </ViaInst>
76 </Net>
77 </NetInfo>
78
79 <ArtworkInfo>
80     <ViaInst name="via3">
81         <Coordinate point="7.00000, 2.50000,"/>
82         <Layer name="L1" state="NONCONNECT"/>
83     </ViaInst>
84     <ViaInst name="via3">
85         <Coordinate point="8.00000, 2.50000,"/>
86         <Layer name="L1" state="NONCONNECT"/>
87     </ViaInst>
88 </ArtworkInfo>
89
90 </Structure>

```

IEC

Figure 47 – Data description of layers**5.6 Data description of via**

Figure 48 shows 4 types of vias in Example 1. Details of each types of via are shown below.

- ① "via1" is a through hole from L1 to L3, and has round shape with a diameter of 0,80 mm. It is using "land1" at connecting on L1, L2, L3. And it is using "land2" at non-connection on L2.
- ② "via2" is non-through hole from L2 to L3, and has round shape with a diameter of 0,80 mm. It is using "land1" at connecting on L2, L3. And it is using "land2" at non-connection on L2.
- ③ "via3" is non-through hole from L1 to L2_U11, and has round shape with a diameter of 0,60 mm. It is using "land3" at connecting on L1.
- ④ "via4" is non-through hole from L1 to L2, and has round shape with a diameter of 0,80 mm. It is using "land1" at connecting on L1, L2. And It is using "land2" at non-connection on L2. The data description vias are shown in Figure 49.

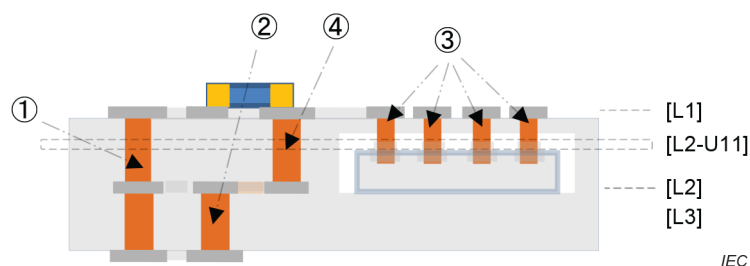


Figure 48 – Type of vias

```

1  <ViaLib name="viadef" layerdef="3layers" landlib="landdef" unit="mm">
2
3      <Via name="via1">
4          <Hole holetype="THROUGH" plated="YES" shapetype="CIRCLE"
5          fromradius="0.2" />
6          <LandInst state="CONNECT" name="land1" layer=" L1" />
7          <LandInst state="CONNECT" name="land1" layer=" L2" />
8          <LandInst state="NONCONNECT" name="land2" layer=" L2" />
9          <LandInst state="CONNECT" name="land1" layer=" L3" />
10         </Via>
11
12     <Via name="via2">
13         <Hole holetype="NONTROUGH" plated="YES" shapetype="CIRCLE"
14         fromradius="0.2" fromlayer="L2" tolayer="L3" />
15         <LandInst state="CONNECT" name="land1" layer=" L2" />
16         <LandInst state="NONCONNECT" name="land2" layer=" L2" />
17         <LandInst state="CONNECT" name="land1" layer=" L3" />
18         </Via>
19
20     <Via name="via3">
21         <Hole holetype="NONTROUGH" plated="YES" shapetype="CIRCLE"
22         fromradius="0.15" fromlayer="L1" tolayer="L2-U11" />
23         <LandInst state="CONNECT" name="land3" layer=" L1" />
24         </Via>
25
26     <Via name="via4">
27         <Hole holetype="NONTROUGH" plated="YES" shapetype="CIRCLE"
28         fromradius="0.2" fromlayer="L1" tolayer="L2" />
29         <LandInst state="CONNECT" name="land1" layer=" L1" />
30         <LandInst state="CONNECT" name="land1" layer=" L2" />
31         <LandInst state="NONCONNECT" name="land2" layer=" L2" />
32         </Via>
33 </ViaLib>

```

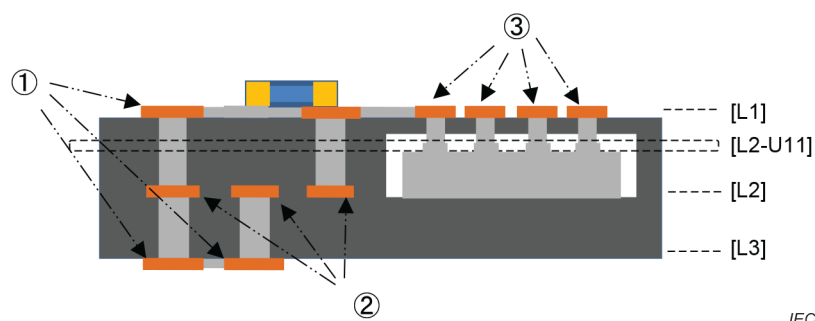
Figure 49 – Data description of vias

5.7 Data description of land

Figure 50 shows 3 types of lands in Example 1. Details of each types of land are shown as below.

- ① "land1" has round shape with a diameter of 0,80 mm. The centre coordinates are $X = 0$, $Y = 0$, $Z = 0$.
- ② "land2" has round shape with a diameter of 0,60 mm. The centre coordinates are $X = 0$, $Y = 0$, $Z = 0$.
- ③ "land3" has round shape with a diameter of 0,50 mm. The centre coordinates are $X = 0$, $Y = 0$, $Z = 0$.

The data description of the lands is shown in Figure 51.



IEC

Figure 50 – Type of lands

1	<LandLib name="landdef" unit="mm">	
2		
3	<Land name="land1">	...
4	<Point shape=" ROUND" size="0.80000" >	①
5	<Coordinate point="0.00000, 0.00000, 0.00000"/>	
6	</Point>	
7	</Land>	
8		
9	<Land name="land2">	...
10	<Point shape=" ROUND" size="0.60000" >	②
11	<Coordinate point="0.00000, 0.00000, 0.00000"/>	
12	</Point>	
13	</Land>	
14		
15	<Land name="land3">	...
16	<Point shape="ROUND" size="0.50000" >	③
17	<Coordinate point="0.00000, 0.00000, 0.00000"/>	
18	</Point>	
19	</Land>	
20		
21	</LandLib>	

IEC

Figure 51 – Data description of lands

Bibliography

IEC 60194:2015, *Printed board design, manufacture and assembly – Terms and definitions*

IEC/PAS 61182-12, *Generic requirements for printed board assembly products manufacturing description data and transfer methodology*

IEC 62878-1-1:2015, *Device embedded substrate – Part 1-1: Generic specification – Test methods*

IEC TS 62878-2-1:2015, *Device embedded substrate – Part 2-1: Guidelines – General description of technology*

IEC TR 62878-2-2:2015, *Device embedded substrate – Part 2-2: Guidelines – Electrical testing*

IEC TS 62878-2-3:2015, *Device embedded substrate – Part 2-3: Guidelines – Design guide*

IEC TS 62878-2-4:2015, *Device embedded substrate – Part 2-4: Guidelines – Test element groups (TEG)*

IEC/PAS 62878-2-5:2015, *Device embedded substrate – Guidelines – Data format*

IECNORM.COM : Click to view the full PDF of IEC 62878-2-5:2019

SOMMAIRE

AVANT-PROPOS	57
1 Domaine d'application	59
2 Références normatives	59
3 Termes et définitions	59
4 Définition des données	63
4.1 Organigramme de conception du substrat avec appareil(s) intégré(s)	63
4.2 Plage applicable	65
4.2.1 Produit.....	65
4.2.2 Processus.....	65
4.3 Caractéristiques.....	66
4.3.1 Généralités.....	66
4.3.2 Structure de substrat avec appareil(s) intégré(s)	66
4.3.3 Structure de l'interposeur du SiP	67
4.3.4 Description de la couche virtuelle	68
4.3.5 Structure terminale et structure d'appareil intégré incluant un SiP	68
4.3.6 Données de conception totales d'un SiP et du substrat avec appareil(s) intégré(s).....	68
4.4 Résumé de description des données.....	69
4.4.1 Type de données et structures.....	69
4.4.2 Structure du fichier	72
4.5 Expression 3D	73
4.5.1 Généralités.....	73
4.5.2 Coordonnées.....	73
4.5.3 Description de la position	74
4.5.4 Relation entre l'origine des coordonnées et la position de la carte	74
4.6 Concept de couche	74
4.7 Données du substrat.....	75
4.7.1 Généralités.....	75
4.7.2 Informations de la carte de couche	76
4.7.3 Informations de disposition de l'appareil	77
4.7.4 Figures de base.....	79
4.7.5 Informations d'interconnexion	87
4.7.6 Informations du dessin de base	88
4.7.7 Informations du boîtier.....	89
4.7.8 Informations du port externe	89
4.7.9 Informations du port interne.....	89
4.7.10 Informations d'extension de l'utilisateur	89
4.8 Données définies	90
4.8.1 Généralités.....	90
4.8.2 Définition de couche	90
4.8.3 Définition de pastille	92
4.8.4 Définition de trou de liaison	93
4.8.5 Définition d'appareil.....	95
4.8.6 Définition d'extension de l'utilisateur.....	96
5 Organisation et description des données selon le schéma XML	96
5.1 Généralités	96
5.2 Organisation des données de l'Exemple 1.....	98

5.3	Description des données de l'empilement des couches	98
5.4	Description des données de l'appareil.....	102
5.5	Organisation des données de couche	106
5.6	Description des données du trou de liaison	109
5.7	Description des données des pastilles	110
	Bibliographie.....	112
	Figure 1 – Organigramme de conception du substrat avec appareil(s) intégré(s).....	64
	Figure 2 – Structure générale du substrat avec appareil(s) intégré(s)	65
	Figure 3 – Exemples de structure de substrat avec appareil(s) intégré(s)	67
	Figure 4 – Exemples de SiP	67
	Figure 5 – Exemple de description d'une couche virtuelle	68
	Figure 6 – Structure terminale.....	68
	Figure 7 – Structure d'un SiP sur un substrat avec appareil(s) intégré(s).....	69
	Figure 8 – Structure de données	72
	Figure 9 – Structure en un fichier (recommandé)	72
	Figure 10 – Structure en deux fichiers.....	73
	Figure 11 – Définitions des coordonnées	73
	Figure 12 – Définition de la position	74
	Figure 13 – Relation entre les coordonnées et la position de la carte	74
	Figure 14 – Concept de couche	75
	Figure 15 – Construction de couche.....	76
	Figure 16 – Construction de couche simplifiée	77
	Figure 17 – Définition de couche de connexion de plage.....	78
	Figure 18 – Définition de couche de connexion de trou de liaison	78
	Figure 19 – Sens de rotation sur les axes X , Y et Z	79
	Figure 20 – Point	80
	Figure 21 – Zone	81
	Figure 22 – Lignes	82
	Figure 23 – Lettres	83
	Figure 24 – Forme de lettre.....	83
	Figure 25 – Informations de fil de liaison.....	84
	Figure 26 – Demi-sphère	84
	Figure 27 – Pyramide tronquée	85
	Figure 28 – Trou de liaison	86
	Figure 29 – Définition de l'appareil.....	87
	Figure 30 – Groupe.....	87
	Figure 31 – Structure de données des informations d'interconnexion	88
	Figure 32 – Relation des données de définition de couche.....	91
	Figure 33 – Définition de pastille.....	93
	Figure 34 – Relation entre les informations de trou et informations de pastille	95
	Figure 35 – Appareil avec informations de connexion interne.....	96
	Figure 36 – Appareil sans informations de connexion interne.....	96
	Figure 37 – Vue en coupe de l'Exemple 1	97

Figure 38 – Organisation des données de l'Exemple 1	97
Figure 39 – Description des données de l'Exemple 1	98
Figure 40 – Structure des couches de l'Exemple 1	99
Figure 41 – Description des données de l'empilement des couches	101
Figure 42 – Configuration de l'appareil 1	102
Figure 43 – Description des données de l'appareil 1	103
Figure 44 – Configuration de l'appareil 2	104
Figure 45 – Description des données de l'appareil 2	105
Figure 46 – Vue des couches de l'Exemple 1	107
Figure 47 – Description des données des couches	109
Figure 48 – Types de trous de liaison	110
Figure 49 – Description des données des trous de liaison	110
Figure 50 – Types de pastilles	111
Figure 51 – Description des données des pastilles	111
Tableau 1 – Informations exigées	66
Tableau 2 – Liste des données	70

IECNORM.COM : Click to view the full PDF of IEC 62878-2-5:2019

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

TECHNOLOGIE D'ENSEMBLE AVEC APPAREIL(S) INTÉGRÉ(S) –

Partie 2-5: Lignes directrices – Mise en œuvre d'un format de données 3D pour un substrat avec appareil(s) intégré(s)

AVANT-PROPOS

- 1) La Commission Électrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. À cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 62878-2-5 a été établie par le comité d'études 91 de l'IEC: Techniques d'assemblage des composants électroniques.

La présente version bilingue (2020-01) correspond à la version anglaise monolingue publiée en 2019-09.

Cette première édition annule et remplace l'IEC PAS 62878-2-5 publiée en 2015. Cette édition constitue une révision technique.

Cette édition inclut les modifications techniques majeures suivantes par rapport à l'édition précédente:

- a) le titre "Exigences de format de données de conception pour le substrat avec appareil(s) intégré(s)" a été modifié en "Mise en œuvre d'un format de données 3D pour un substrat avec appareil(s) intégré(s)";
- b) le domaine d'application de cette mise en œuvre a été modifié de façon à exclure les SiP.

Le texte anglais de cette norme est issu des documents 91/1557/CDV et 91/1589/RVC.

Le rapport de vote 91/1589/RVC donne toute information sur le vote ayant abouti à l'approbation de cette norme.

La version française de cette norme n'a pas été soumise au vote.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 62878, publiées sous le titre général *Technologie d'ensemble avec appareil(s) intégré(s)*, peut être consultée sur le site web de l'IEC.

Les futures normes de cette série porteront dorénavant le nouveau titre général cité ci-dessus. Le titre des normes existant déjà dans cette série sera mis à jour lors de la prochaine édition.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous « <http://webstore.iec.ch> » dans les données relatives au document recherché. À cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo « colour inside » qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer ce document en utilisant une imprimante couleur.

TECHNOLOGIE D'ENSEMBLE AVEC APPAREIL(S) INTÉGRÉ(S) –

Partie 2-5: Lignes directrices – Mise en œuvre d'un format de données 3D pour un substrat avec appareil(s) intégré(s)

1 Domaine d'application

La présente partie de l'IEC 62878 spécifie des exigences fondées sur le schéma XML qui représente un format de données de conception pour le substrat avec appareil(s) intégré(s), c'est-à-dire une carte avec appareil(s) intégré(s) actif(s) ou passif(s) dont les connexions électriques se font au moyen d'un trou de liaison, de galvanoplastie, de pâte conductrice ou d'impression du matériau conducteur.

Ce format de données doit être utilisé pour les exigences de simulation (par exemple, contrainte, thermique, compatibilité électromagnétique), d'outillage, de fabrication, d'assemblage et d'examen. De plus, le format de données est utilisé pour le transfert d'informations entre les concepteurs de cartes imprimées, les ingénieurs de simulation des cartes imprimées, les fabricants et les assembleurs.

La présente partie de l'IEC 62878 s'applique aux substrats utilisant des matériaux organiques. Elle ne s'applique ni à la couche de redistribution (RDL, *re-distribution layer*), ni aux modules électroniques définis comme un modèle commercial de type M dans l'IEC 62421.

2 Références normatives

Le présent document ne contient aucune référence normative.

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>
- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/obp>

3.1

informations du dessin de base

informations qui présentent un boîtier (SiP) non compris dans l'interconnexion et les données de figure sur carte (marque de symbole, intérieur du SiP, moule, entretoise, remarques, etc.)

3.2

informations de carte

informations complètes d'un substrat avec appareil(s) intégré(s), y compris les appareils intégrés

3.3

pile de puces

assemblage de puces semiconductrices empilées verticalement

3.4

dégagement

zone autour d'un trou traversant ne comprenant pas de conducteur permettant d'éviter la connexion électrique entre une grande zone conductrice comme celle de l'alimentation électrique ou la mise à la terre et un trou métallisé

3.5

fabrication assistée par ordinateur

FAO

utilisation interactive des systèmes informatiques, programmes et procédures durant les différentes phases d'un processus de fabrication dans lequel les activités de prise de décision reposent sur l'opérateur humain et un ordinateur fournit les fonctions de manipulation des données

3.6

conception assistée par ordinateur

CAO

utilisation interactive des systèmes informatiques, programmes et procédures durant le processus de conception dans lequel les activités de prise de décision reposent sur l'opérateur humain et un ordinateur fournit la fonction de manipulation des données

3.7

DXF

format des données pour AutoCAD

Note 1 à l'article: AutoCAD est le nom commercial d'un produit fourni par Autodesk®. Cette information est donnée à l'intention des utilisateurs du présent document et ne signifie nullement que l'IEC approuve ou recommande l'emploi exclusif du produit ainsi désigné. Des produits équivalents peuvent être utilisés s'il est démontré qu'ils conduisent aux mêmes résultats.

Note 2 à l'article: Cela désigne en général un type de format de données pour dessiner des figures utilisant des données de carte CAO.

3.8

document de conception

documentation des informations nécessaires pour la conception des cartes de circuit imprimé

3.9

informations de disposition de l'appareil

informations comprenant la position, la forme et les attributs de l'appareil intégré inclus dans les informations d'interconnexion

3.10

substrat avec appareil(s) intégré(s)

substrat dans lequel un ou plusieurs appareils actifs (appareil semiconducteur) et/ou appareils passifs (par exemple résistance, condensateur) sont formés en utilisant une technologie de film épais ou en les intégrant dans le substrat

3.11

puce à bosses

FC

structure d'élément de circuit monolithique sans sorties, qui s'interconnecte électriquement et mécaniquement à une carte imprimée par le biais de bosses conductrices

Note 1 à l'article: L'abréviation "FC" est dérivée du terme anglais développé correspondant "FLIP chip".

3.12

Gerber

type de format de données constituées de commandes de sélection et d'activation d'ouverture et de dimensions en coordonnées X et Y

Note 1 à l'article: Les données sont généralement utilisées pour diriger un dispositif de phototraçage en générant un dessin de base phototracé.

Note 2 à l'article: Gerber est le nom commercial d'un produit fourni par Ucamco. Cette information est donnée à l'intention des utilisateurs du présent document et ne signifie nullement que l'IEC approuve ou recommande l'emploi exclusif du produit ainsi désigné. Des produits équivalents peuvent être utilisés s'il est démontré qu'ils conduisent aux mêmes résultats.

3.13

interposeur

matériau placé entre deux surfaces assurant l'isolation électrique, la redistribution des connexions électriques, la résistance mécanique et/ou la séparation mécanique et thermique maîtrisée entre les deux surfaces

Note 1 à l'article: Un interposeur peut être utilisé comme moyen de redistribuer les connexions électriques et/ou de compenser les différentes dilatations thermiques entre surfaces adjacentes.

3.14

pastille

plage

partie d'une impression conductrice généralement utilisée pour la connexion et/ou la fixation de composants

3.15

définition de pastille

maintenance d'une forme spécifique de pastille, plage, épargne de brasage et autres

3.16

définition de couche

combinaison des informations physiques de forme et de construction et des informations logiques donnant les unités de conception et de production

3.17

carte de couche

carte présentant la relation entre les appareils et la carte, les appareils étant disposés sur une carte

3.18

bibliothèque

base de données des informations de conception fondées sur le document de conception à utiliser dans la CAO de carte

3.19

couche logique

couche pouvant être formée arbitrairement en cas de difficulté à exprimer physiquement une couche en conception

Note 1 à l'article: Il est possible de la relier à une couche physique.

Note 2 à l'article: Elle est différente des couches d'un substrat multicouche.

3.20

système micro-électromécanique

SMEM

système qui intègre une micro machine, des éléments mécaniques, un capteur, un actionneur et un circuit électronique en un seul module

3.21

informations d'interconnexion

construction de broche d'appareil et schéma d'interconnexion dans les présentes PAS

3.22

informations du boîtier

formes de la carte et des appareils lorsqu'ils possèdent des impressions de forme de boîtier dans le présent document

3.23

PoP

empilement de boîtiers

un ou plusieurs boîtiers montés sur un boîtier d'une seule puce ou de plusieurs puces en tant que boîtier unique

Note 1 à l'article: L'abréviation "PoP" est dérivée du terme anglais développé correspondant "package on package".

3.24

couche physique

couche qui consiste en une construction et une structure de couche physique

3.25

informations du port

informations des figures et noms des terminaux externes d'un appareil ou d'un substrat avec terminaux

3.26

structure

structure entière d'un substrat avec appareil(s) intégré(s) et/ou d'un appareil de surface monté au substrat

3.27

SiP

système dans un boîtier

boîtier multipuce qui remplit une fonction système

Note 1 à l'article: L'abréviation "SiP" est dérivée du terme anglais développé correspondant "system in a package".

3.28

pastille thermique

la chaleur peut s'échapper vers l'extérieur d'une pastille ou d'un trou traversant lorsqu'un appareil est soudé sur une grande impression comme une alimentation électrique ou une mise à la terre. Une découpe est souvent pratiquée autour de ce point de soudure afin d'empêcher la dissipation thermique

3.29

trou de liaison traversant en silicium

TSV

trou percé dans une puce en silicium et rempli de métal afin de connecter électriquement les côtés haut et bas de la puce pour l'empilement de boîtiers 3D

Note 1 à l'article: L'abréviation "TSV" est dérivée du terme anglais développé correspondant "through silicon via".

3.30

définition de trou de liaison

trou de liaison utilisé comme connexion intercouche mais pour lequel il n'est pas prévu d'insérer une sortie de composant ou autre matériau de renforcement

3.31

couche virtuelle

nom de la couche qui relie les couches conductrices lorsqu'un appareil est intégré

Note 1 à l'article: Elle correspond au point de connexion d'un terminal de l'appareil spécifié dans l'IEC TS 62678-2-3.

3.32**soudage de fils**

WB

microsoudage entre une puce et un matériau de base, une grille de connexion, etc.

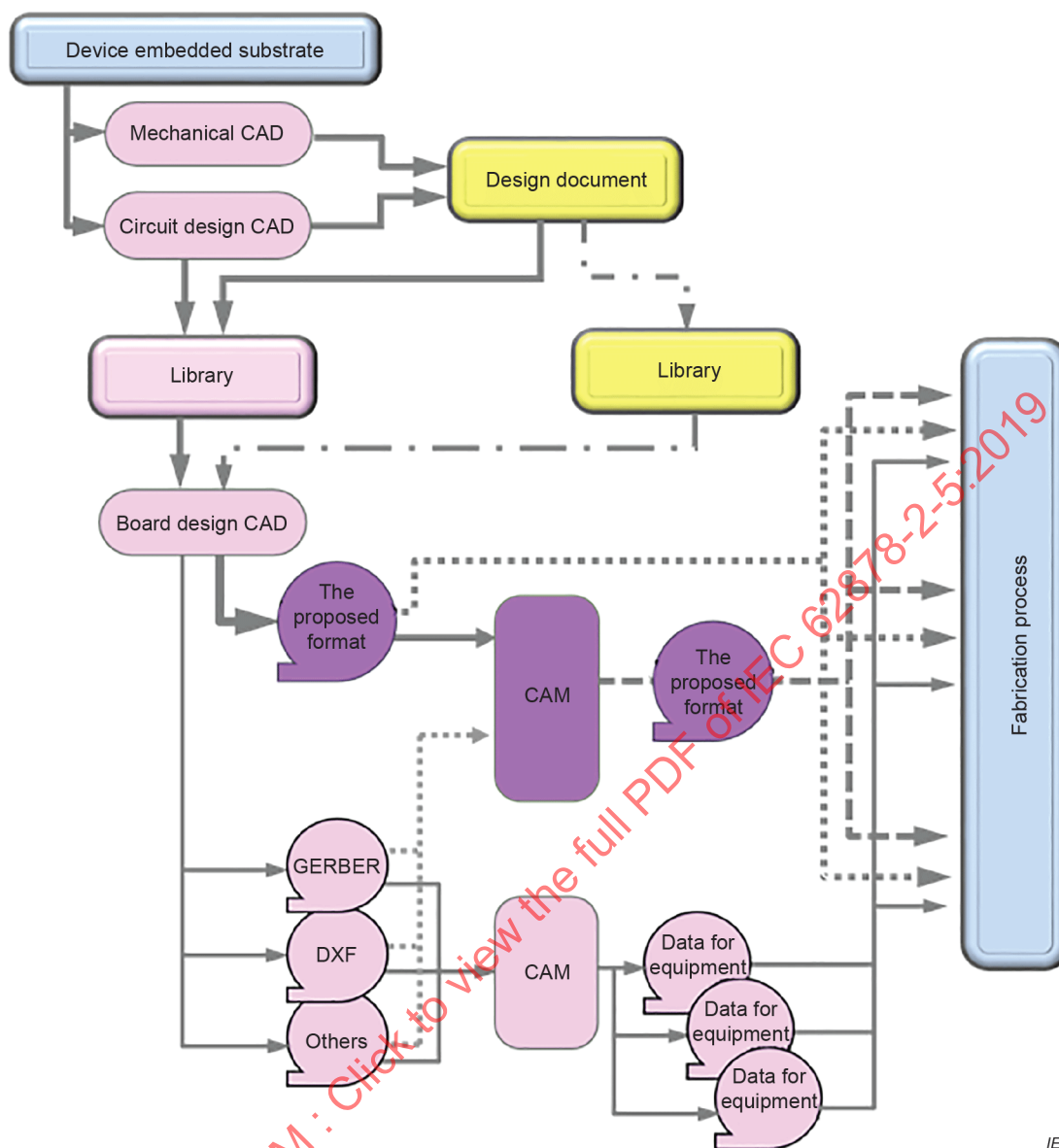
Note 1 à l'article: L'abréviation "WB" est dérivée du terme anglais développé correspondant "wire bonding".

4 Définition des données**4.1 Organigramme de conception du substrat avec appareil(s) intégré(s)**

La Figure 1 présente la procédure de conception d'un substrat avec appareil(s) intégré(s). Les données de conception peuvent être directement envoyées à un système de fabrication de cartes qui utilise ce format, ou peuvent être converties en données FAO pour être ensuite utilisées en production. Les données contiennent des informations 3D des coordonnées et des formes des appareils utilisés. Il est possible de vérifier le statut de l'appareil intégré dans une carte, et d'en faire un savoir-faire de production commun.

Ce format de fichier décrit les informations 3D des cartes électroniques de circuit imprimé suivantes, comprenant les substrats avec appareil(s) intégré(s) et systèmes dans un boîtier (SiP), et rend possible l'utilisation des informations nécessaires de la conception à la fabrication des produits.

IECNORM.COM : Click to view the full PDF of IEC 62878-2-5:2019



IEC

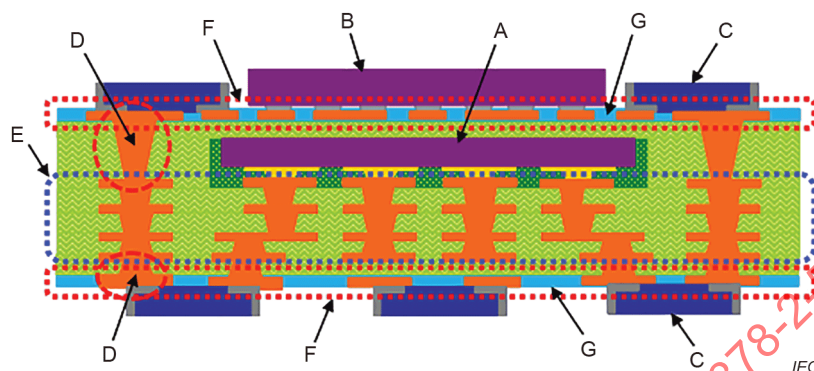
Anglais	Français
Device embedded substrate	Substrat avec appareil(s) intégré(s)
Mechanical CAD	CAO mécanique
Circuit design CAD	CAO du circuit
Design document	Document de conception
Library	Bibliothèque
Board design CAD	CAO de la carte
The proposed format	Format proposé
CAM	FAO
Fabrication process	Processus de fabrication
Others	Autres
Data for equipment	Données pour l'équipement

Figure 1 – Organigramme de conception du substrat avec appareil(s) intégré(s)

4.2 Plage applicable

4.2.1 Produit

Il est possible de conserver les informations de conception d'un substrat avec appareil(s) intégré(s) comme cela est représenté à la Figure 2.



A	Appareil actif intégré	E	Impression interne
B	Appareil actif monté en surface	F	Impression de surface
C	Appareil passif monté en surface	G	Épargne de brasage
D	Couche connectant le trou de liaison		

Figure 2 – Structure générale du substrat avec appareil(s) intégré(s)

4.2.2 Processus

Le format décrit les informations conservées et disponibles de chaque étape de la production comme cela est décrit dans le Tableau 1:

- 1) conception,
- 2) simulation,
- 3) fabrication du substrat,
- 4) intégration de l'appareil,
- 5) essai.

Tableau 1 – Informations exigées

Processus	Données retenues	Données disponibles
Conception	Circuit Composants Forme de la carte Structure de la carte Règle de conception/production (pour la vérification)	Condition limitée Liste des interconnexions
Simulation	Circuit Caractéristiques des composants Propriétés de la carte (matériaux) Structure de la carte Document d'impression	Propriétés électriques Propriétés thermiques Propriétés mécaniques Propriétés électroniques Informations supplémentaires de production
Fabrication du substrat	Document d'impression Perçage Marques de symbole Format du panneau	Matériel Informations supplémentaires de production
Intégration de l'appareil	Forme du composant Position d'intégration Terminaux d'interconnexion Marques de symbole	Matériel Positions relatives du composant Liste des composants
Essai	Document d'impression Forme du composant Position du composant Informations terminales Marques	Matériel d'essai électrique Examen des images vidéo

4.3 Caractéristiques

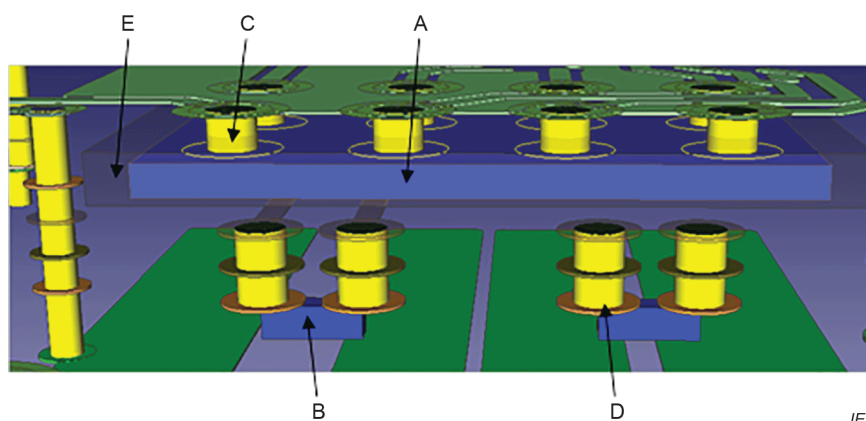
4.3.1 Généralités

Le format de données possède les caractéristiques suivantes:

- 1) il peut contenir la structure du substrat avec appareil(s) intégré(s) spécifiée dans l'IEC TS 62678-2-3;
- 2) il peut contenir des informations du SiP en général (système en boîtier, TSV du PoP, soudage de fils, puce à bosses, interposeur, etc.);
- 3) il détient les données de conception des positions terminales de l'appareil intégré dans une couche virtuelle spécifiées dans l'IEC TS 62678-2-3;
- 4) informations relatives à la structure interne des appareils comme les SiP qui ne peuvent être décrits comme la structure d'un substrat avec appareil(s) intégré(s) et d'une structure terminale comme données de conception 3D;
- 5) conservation homogène des données de conception d'appareils ayant différents niveaux comme les SiP et de substrat intégré.

4.3.2 Structure de substrat avec appareil(s) intégré(s)

Il est possible de maintenir et de représenter la structure 3D du substrat avec appareil(s) intégré(s) comme cela est représenté à la Figure 3. Il est également possible de vérifier sa structure 3D.

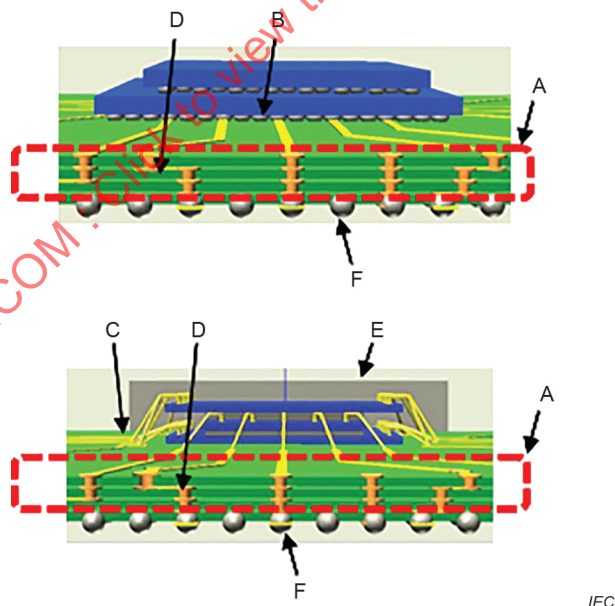


A	Appareil actif intégré	D	Connexion de plage
B	Appareil passif intégré	E	Espace sans matériel de carte
C	Connexion de trou de liaison		

Figure 3 – Exemples de structure de substrat avec appareil(s) intégré(s)

4.3.3 Structure de l'interposeur du SiP

Il est possible de maintenir et de représenter la structure 3D du substrat du SiP comme cela est représenté à la Figure 4. Il est également possible de vérifier les structures de la puce à bosses et du montage de la soudure de fils.



A	Interposeur	D	Soudure dans l'interposeur
B	Connexion de puce à bosses	E	Boîtier
C	Connexion de soudage de fils	F	Bille de brasage

Figure 4 – Exemples de SiP

4.3.4 Description de la couche virtuelle

Il est possible de conserver les données de conception de la position terminale d'une connexion de trou de liaison non pas sur une couche conductrice, mais comme sur une couche virtuelle. Elles peuvent être maintenues dans la structure représentée à la Figure 5.

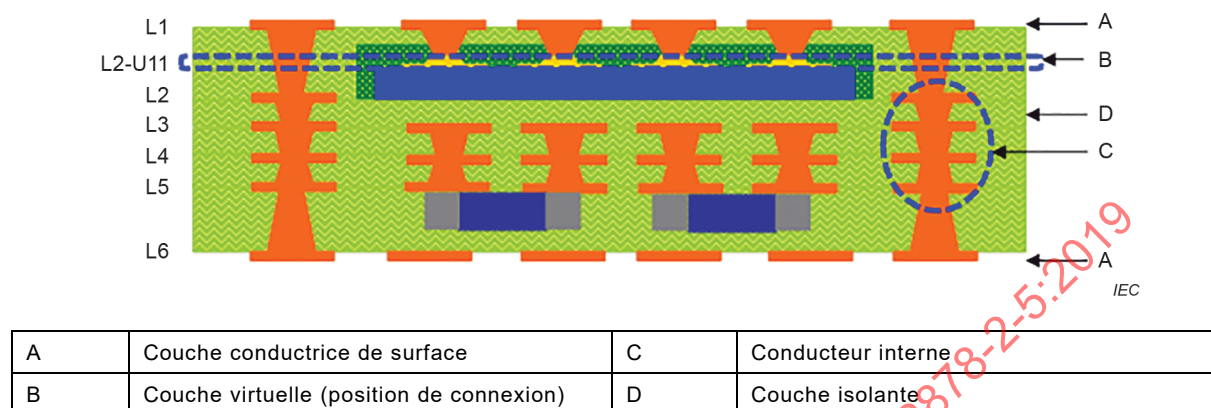


Figure 5 – Exemple de description d'une couche virtuelle

4.3.5 Structure terminale et structure d'appareil intégré incluant un SiP

Il est possible de conserver les données de conception de la position terminale d'un SiP comme cela est représenté à la Figure 6.

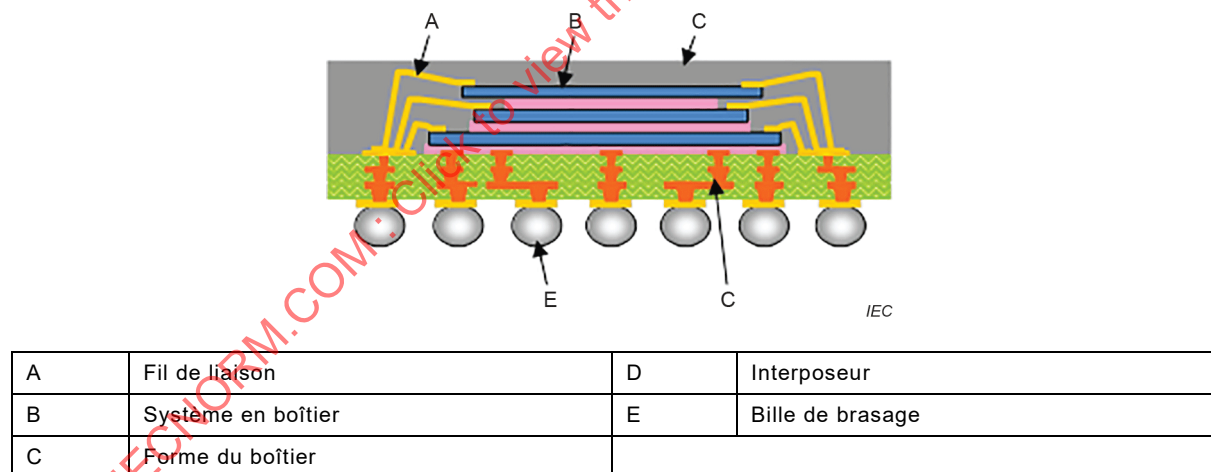
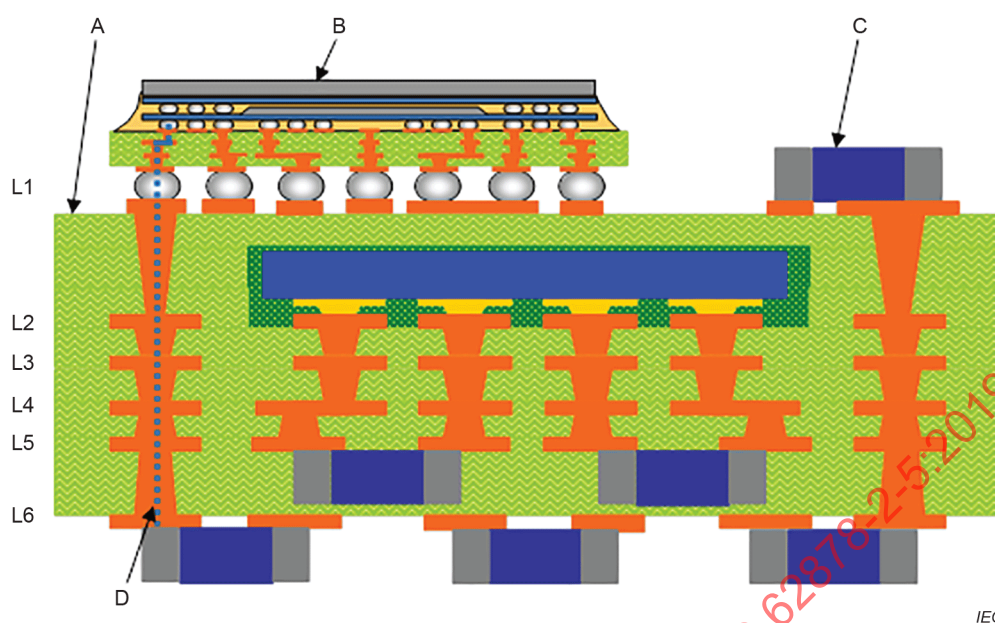


Figure 6 – Structure terminale

4.3.6 Données de conception totales d'un SiP et du substrat avec appareil(s) intégré(s)

Il est possible de conserver les données de conception d'un SiP et du substrat avec appareil(s) intégré(s) réalisé sur des couches différentes comme cela est représenté à la Figure 7.



A	Substrat	C	Appareil passif monté en surface
B	SiP	D	Interconnexion identique

Figure 7 – Structure d'un SiP sur un substrat avec appareil(s) intégré(s)

4.4 Résumé de description des données

4.4.1 Type de données et structures

1) Type de données

Les données sont les suivantes:

- données du substrat,
- données de définition.

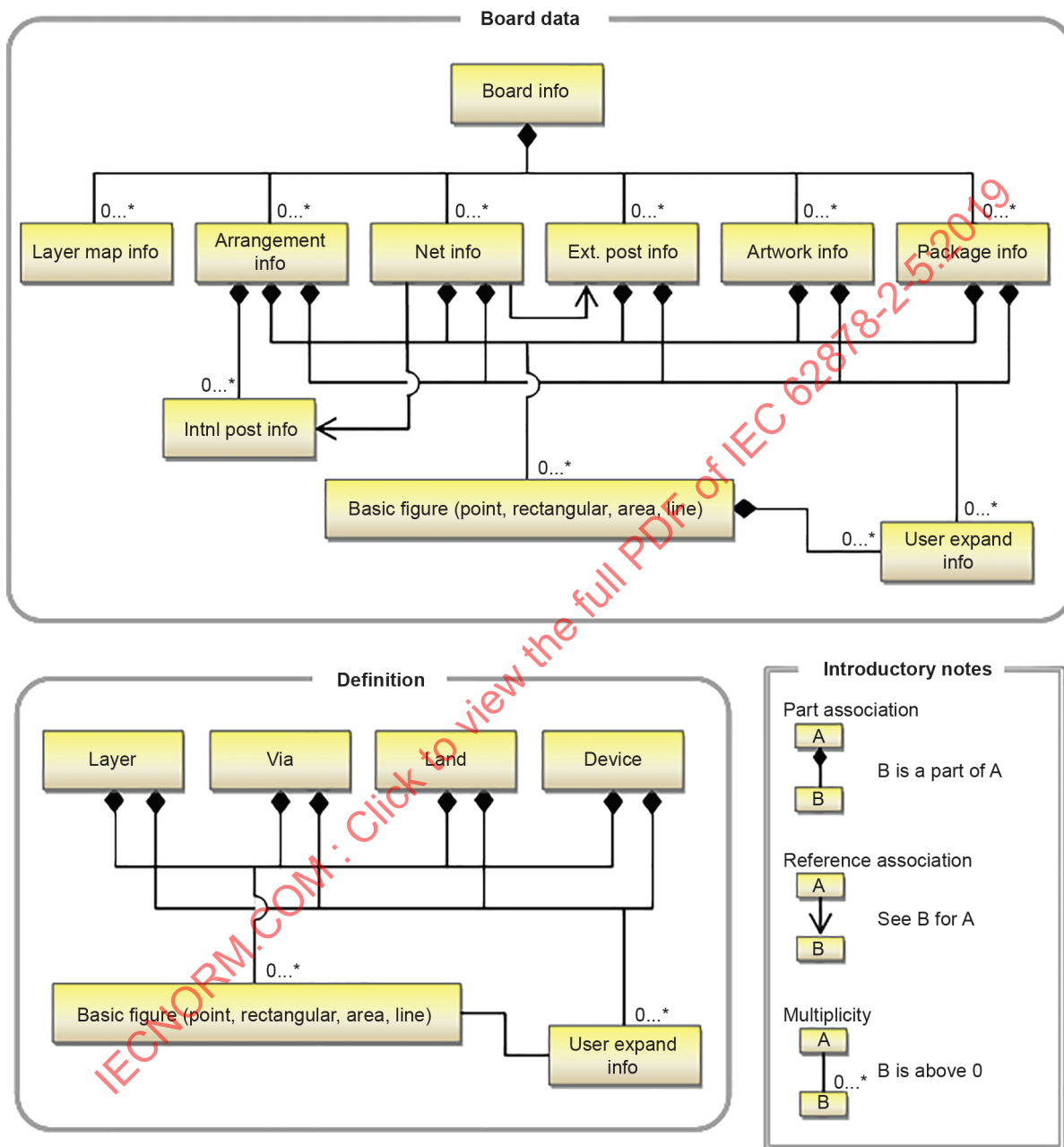
Le détail de ces données est présenté dans le Tableau 2.

Tableau 2 – Liste des données

Type		Détails	
Nom du type	Contenu	Nom	Contenu
Données de carte	Éléments de structure de base des données de carte	Informations de carte	Données totales de la carte comprenant les appareils intégrés
		Informations de la carte de couche	Informations de la combinaison de couches des appareils intégrés et couches
		Informations de disposition de l'appareil	Position des appareils et des couches intégrées
		Informations de la figure de base	Éléments de figure disponibles dans les données de carte Il existe dix (10) types de figures 1 Point 2 Zone 3 Ligne 4 Texte 5 Fil de liaison 6 Demi sphère 7 Prisme rectangulaire 8 Interconnexion 9 Appareil 10 Groupe
		Informations d'interconnexion	Construction de la broche de l'appareil et schéma d'interconnexion
		Informations du dessin de base	Schéma de la figure autre que le schéma d'interconnexion
		Informations du boîtier	Informations de la figure du boîtier
		Informations terminales externes	Figures et noms des terminaux externes
		Informations terminales internes	Figures et noms des terminaux internes
		Informations étendues de l'utilisateur	Les données étendues arbitrairement du format utilisateur "Définition" = "Valeur" peuvent être définies arbitrairement
Données de définition	Définition des informations qui peuvent être utilisées de façon répétitive. Elles peuvent être mentionnées par les données de carte.	Définition d'une couche	Formes de la construction de couche, de la ou des couches conductrices et de la ou des couches isolantes – y compris des parties creusées comme les cavités
		Définition de pastille	Forme de la pastille (plage)
		Définition du trou de liaison	Diamètre du trou de liaison (plage empilée) et forme de la pastille dans chaque couche
		Définition de l'appareil	Broche et forme du boîtier de l'appareil intégré
		Informations de l'impression de base	Les éléments d'impression utilisables dans les types de données des figures définis sont les mêmes que pour les données de carte
		Informations étendues de l'utilisateur	Les données étendues arbitrairement du format utilisateur "Définition" = "Valeur" peuvent être définies arbitrairement

2) Structure de données

La structure de données de ce format se fonde sur les données de carte représentées à la Figure 8. Les informations de données utilisées de façon répétée sont formalisées et il est possible d'identifier les données de définition. Les données extensibles par les utilisateurs peuvent être ajoutées aux données de carte et aux données de définition.



IEC

Anglais	Français
Board data	Données de carte
Board info	Informations de carte
Layer map info	Informations de la carte de couche
Arrangement info	Informations de disposition
Net info	Informations d'interconnexion
Ext. post info	Informations des supports externes
Artwork info	Informations du dessin de base

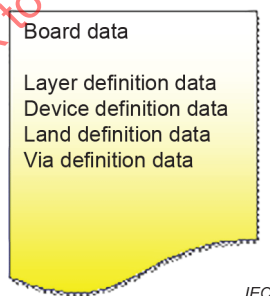
Package info	Informations du boîtier
Intnl post info	Informations des supports internes
Basic figure (point, rectangular, area, line)	Figure de base (point, rectangulaire, zone, ligne)
User expand info	Informations étendues de l'utilisateur
Definition	Définition
Layer	Couche
Via	Trou de liaison
Land	Pastille
Device	Appareil
Introductory notes	Notes d'introduction
Part association	Association des parties
B is a part of A	B fait partie de A
Reference association	Association de référence
See B for A	Voir B pour A
Multiplicity	Multiplicité
B is above 0	B est au-dessus de 0

Figure 8 – Structure de données

4.4.2 Structure du fichier

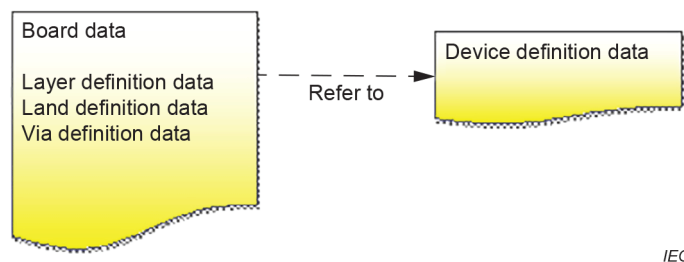
La structure du fichier suit l'une des deux méthodes suivantes:

- 1) Chaque donnée de définition et donnée de carte est stockée dans un fichier comme cela est représenté à la Figure 9 (recommandé).
- 2) Les données de définition sont stockées dans un fichier séparé comme cela est représenté à la Figure 10.



Anglais	Français
Board data	Données de carte
Layer definition data	Données de définition de couche
Device definition data	Données de définition d'appareil
Land definition data	Données de définition de pastille
Via definition data	Données de définition de trou de liaison

Figure 9 – Structure en un fichier (recommandé)



IEC

Anglais	Français
Board data	Données de carte
Layer definition data	Données de définition de couche
Land definition data	Données de définition de pastille
Via definition data	Données de définition de trou de liaison
Refer to	Se réfère à
Device definition data	Données de définition d'appareil

Figure 10 – Structure en deux fichiers

4.5 Expression 3D

4.5.1 Généralités

Le format est exprimé en coordonnées 3D. Les coordonnées 3D s'expriment dans un espace par trois axes diagonaux, X , Y et Z .

4.5.2 Coordonnées

Les coordonnées de ce format sont représentées à la Figure 11 et ont les définitions suivantes.

- 1) La rotation d'un axe se fait dans le sens contraire des aiguilles d'une montre.
- 2) L'unité de longueur peut être choisie en mm, μm et nm.
- 3) La direction des axes est horizontale pour l'axe x , latérale pour l'axe y et verticale (hauteur/épaisseur) pour l'axe z .

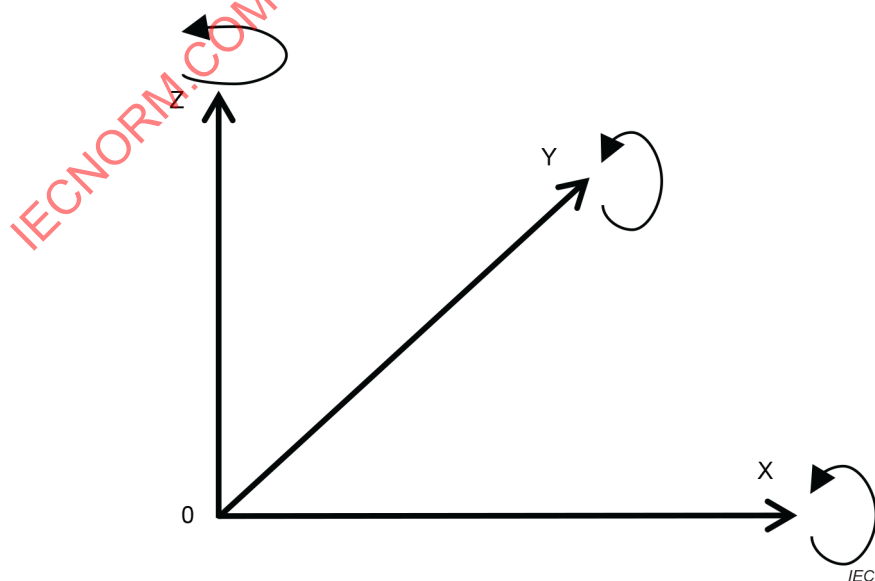
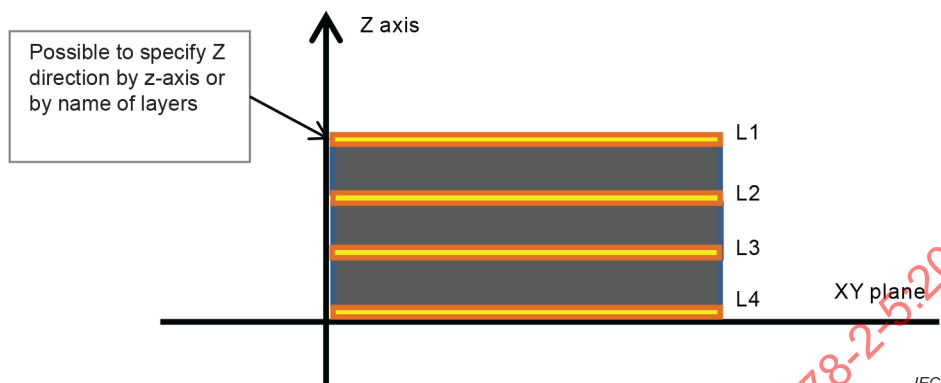


Figure 11 – Définitions des coordonnées

4.5.3 Description de la position

La spécification d'une position 3D est disponible comme cela est représenté à la Figure 12 pour indiquer la structure de couche et les coordonnées 3D. La direction des axes peut être horizontale pour l'axe x , latérale pour l'axe y et verticale pour l'axe z .

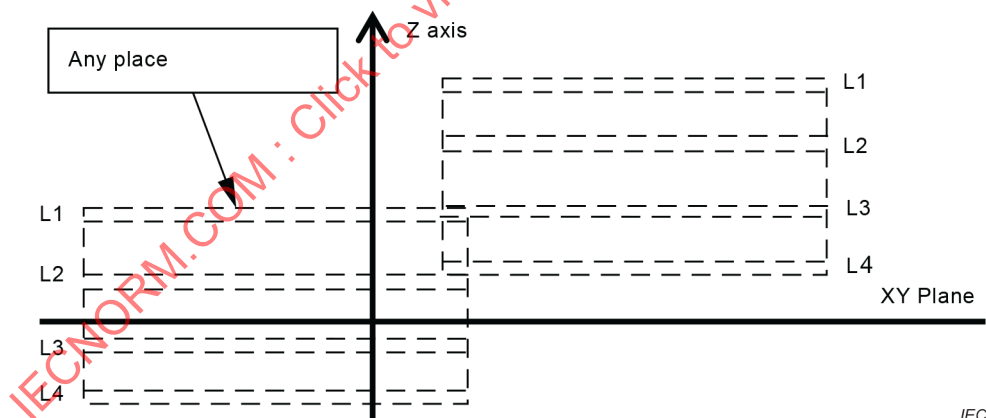


Anglais	Français
Possible to specify Z direction by z-axis or name of layers	Il est possible de spécifier la direction Z par l'axe z ou par le nom des couches
XY plane	Plan XY

Figure 12 – Définition de la position

4.5.4 Relation entre l'origine des coordonnées et la position de la carte

Il n'y a pas de relation spécifiée entre l'origine des coordonnées $[(x, y, z) = (0, 0, 0)]$ et la position de la carte, comme cela est représenté à la Figure 13.



Anglais	Français
Any place	N'importe quel endroit
Z axis	Axe Z
XY plane	Plan XY

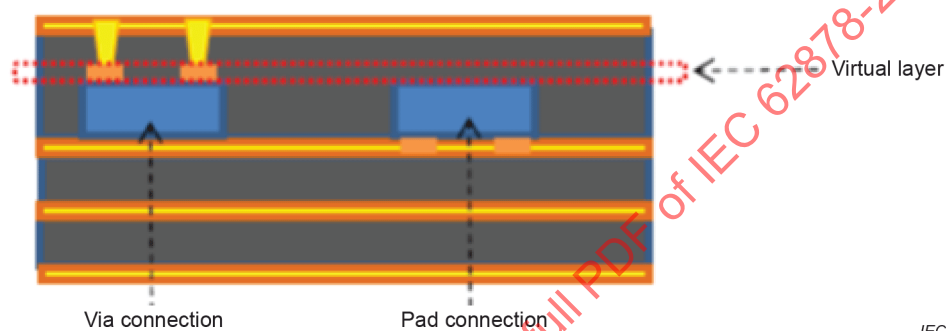
Figure 13 – Relation entre les coordonnées et la position de la carte

4.6 Concept de couche

Il existe deux types de couches, la couche conductrice et la couche virtuelle, comme cela est représenté à la Figure 14. Les caractéristiques des couches sont expliquées ci-dessous. La couche conductrice est la couche coïncidant avec les terminaux d'un composant intégré et une couche par laquelle passe le courant. La couche conductrice avec des supports internes

pouvant être reliés à l'appareil intégré est la couche intégrée. Ce concept ne s'applique pas à l'intégration d'un appareil qui n'est pas relié à une couche conductrice, comme une connexion de trou de liaison. La couche virtuelle est considérée comme une couche conductrice imaginaire aux points d'interconnexion d'un composant intégré.

Ce format peut conserver des données de coordonnées et des données de conception dans la base de couche et dans la conception de la base de l'axe 3D Z. Il est recommandé de conserver les données fondées sur la couche lorsque les informations de structure de la carte sont exigées dans l'IEC TS 62678-2-3. La base de coordonnées 3D Z peut être utilisée pour décrire des données de conception comme pour le SiP, qui peut ne pas constituer une utilisation appropriée de la structure présentée ci-dessus. La base de coordonnées 3D Z peut ne pas être appropriée pour décrire les informations nécessaires dans le processus de production. Un transfert d'informations supplémentaires autres que celles qui définissent le format de données actuel peut être nécessaire entre les processus (entre la conception et la production), et l'efficacité peut être réduite en conception et en production.



Anglais	Français
Virtual layer	Couche virtuelle
Via connection	Connexion de trou de liaison
Pad connection	Connexion de plage

Figure 14 – Concept de couche

4.7 Données du substrat

4.7.1 Généralités

Comme cela est représenté à la Figure 8, les données de carte sont composées de neuf informations. Chaque type d'information répertorié ci-dessous est défini de 4.7.2 à 4.8.6.

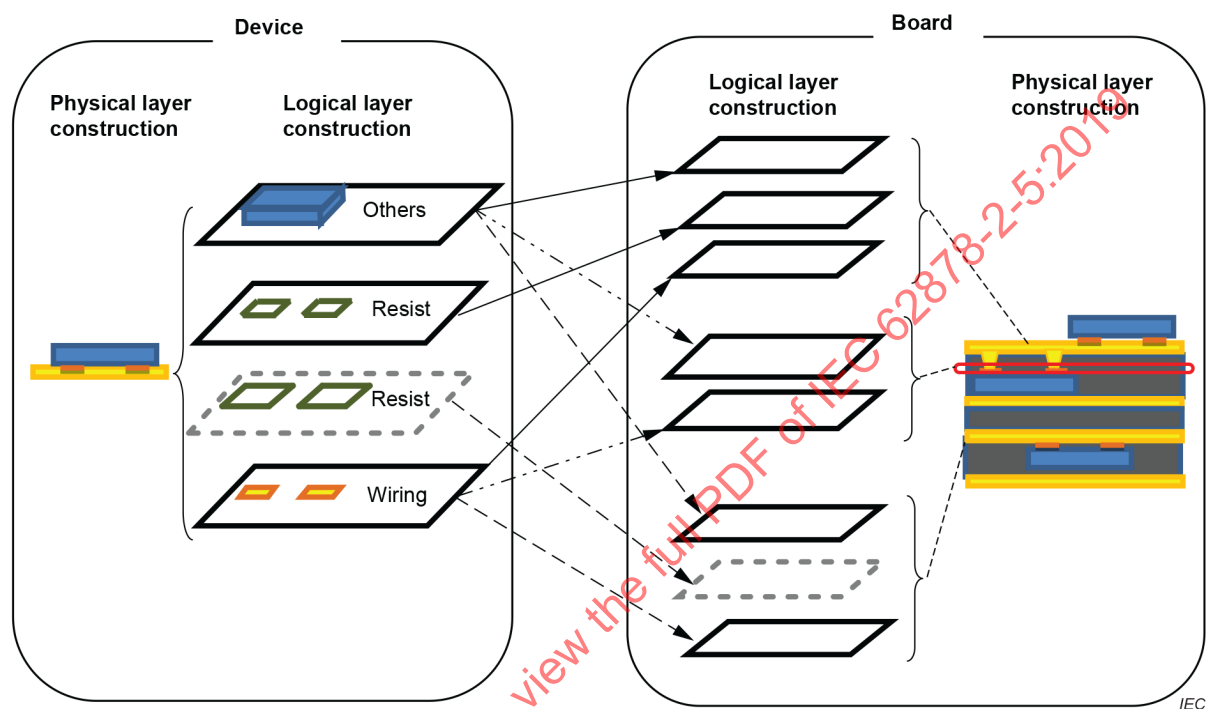
- 1) Informations de la carte de couche
- 2) Informations de disposition de l'appareil
- 3) Formes de base
- 4) Informations d'interconnexion
- 5) Informations du dessin de base
- 6) Informations du boîtier
- 7) Informations du port externe
- 8) Informations du port interne
- 9) Informations étendues des données utilisateurs

4.7.2 Informations de la carte de couche

Ces informations conservent la relation entre les couches internes et externes pendant le montage et l'intégration des appareils, comme cela est représenté à la Figure 15 et à la Figure 16.

1) Informations des couches de montage

Les informations présentent des connexions à chaque couche et chaque direction de montage.

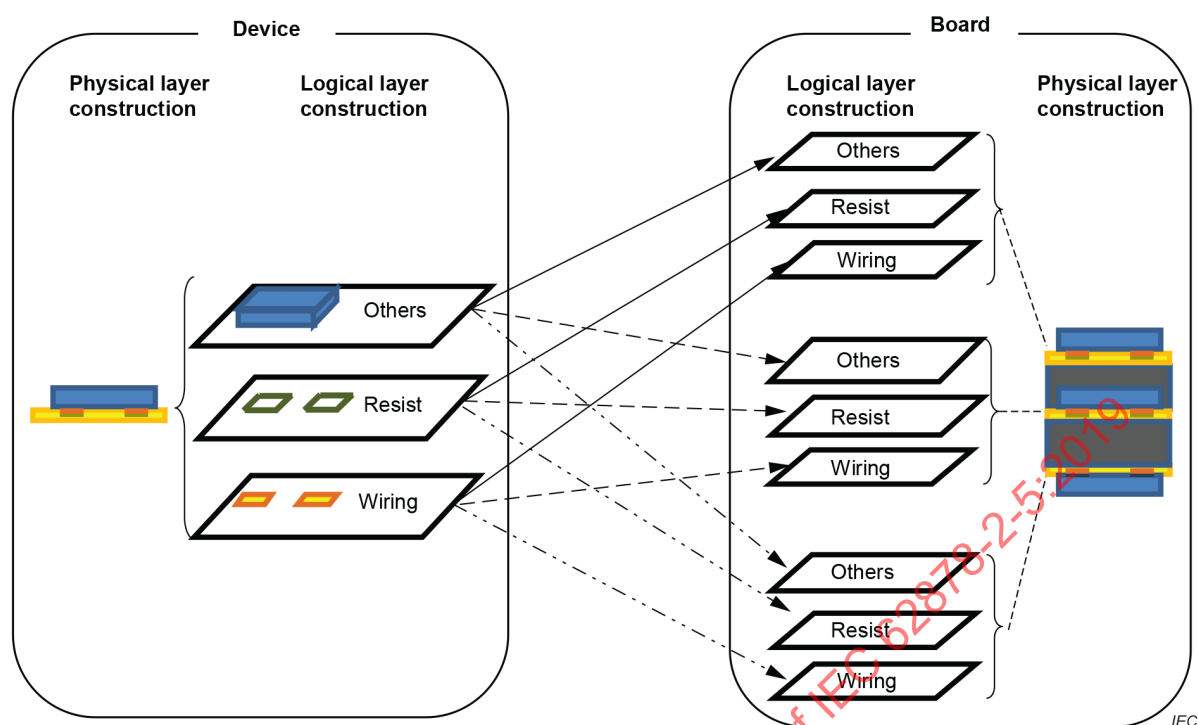


Anglais	Français
Device	Appareil
Board	Carte
Physical layer construction	Construction de la couche physique
Logical layer construction	Construction de la couche logique
Others	Autres
Resist	Épargne
Wiring	Soudure

Figure 15 – Construction de couche

2) Construction de couche simplifiée

Les couches logiques pour les appareils intégrés et pour les cartes sont combinées dans les cas où les informations de la carte de couche sont simplifiées. Cela n'est possible que dans le cas où il n'y a qu'une couche logique du même type dans une couche physique.



Anglais	Français
Device	Appareil
Board	Carte
Physical layer construction	Construction de la couche physique
Logical layer construction	Construction de la couche logique
Others	Autres
Resist	Épargne
Wiring	Soudure

Figure 16 – Construction de couche simplifiée

4.7.3 Informations de disposition de l'appareil

4.7.3.1 Généralités

Les informations ont un nom, une position et une configuration. Les terminaux d'un appareil sont assignés automatiquement.

1) Nom de l'appareil

Le nom d'un appareil sur une carte est le nom de référence de l'appareil.

2) Position de l'appareil

Il est possible de spécifier la position des deux façons suivantes (conception de base de la couche/conception des coordonnées 3D)

- Coordonnées *XY*/rotation de l'axe *Z*/couche d'intégration/direction d'intégration/décalage/position terminale de connexion dans une couche
- Coordonnées *XYZ* / rotation des axes *XYZ*

3) Configuration de l'appareil

Nom spécifié d'un appareil

4.7.3.2 Attribut de la position et de la disposition de l'appareil

1) Définition de couche

Il y a deux façons de définir la position verticale d'un appareil intégré pour la couche et l'axe Z. Ces deux positions sont représentées à la Figure 17 et à la Figure 18.

a) Connexion de plaque



Anglais	Français
Assembly direction = Up	Sens d'assemblage = Haut
Off-set value	Valeur de décalage
Assembly layer = L2 (conductor) = Connection terminal layer	Couche d'assemblage = L2 (conducteur) = Couche terminale de connexion
Assembly direction = Down	Sens d'assemblage = Bas

Figure 17 – Définition de couche de connexion de plaque

b) Connexion de trou de liaison

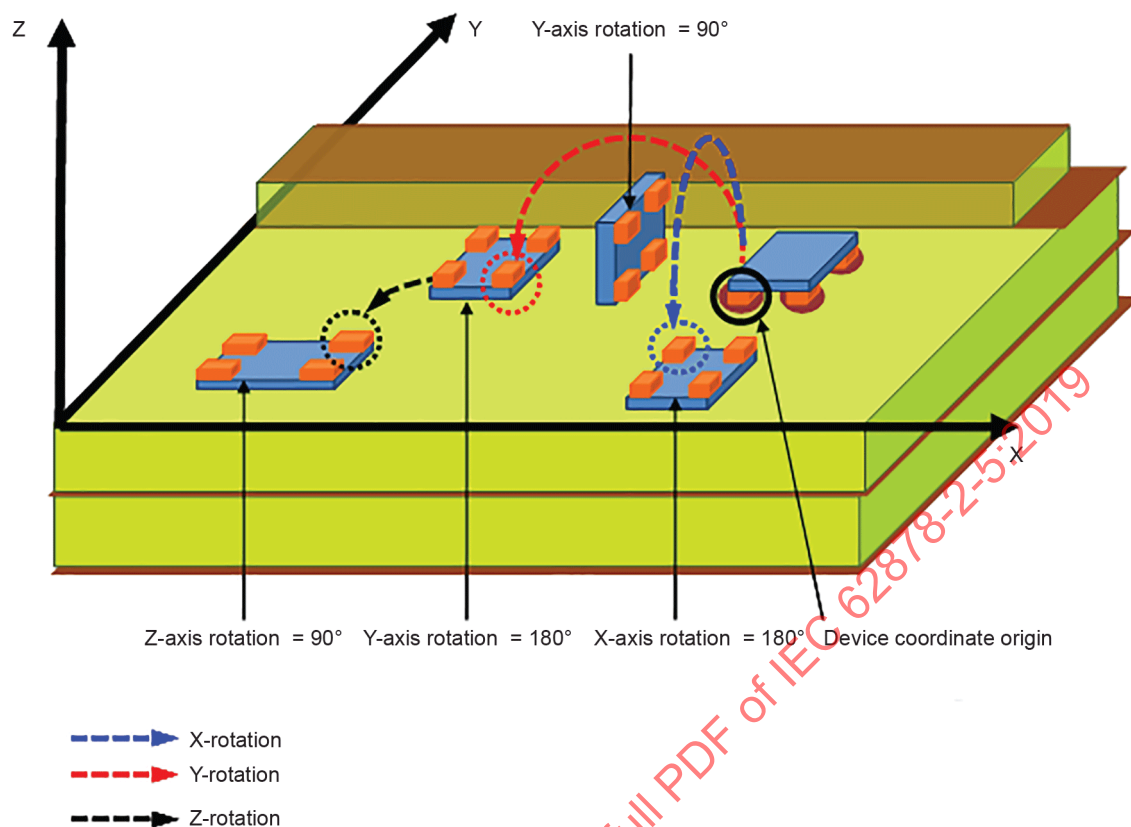


Anglais	Français
Connection terminal layer = L2-U11 (virtual layer)	Couche terminale de connexion = L2-U11 (couche virtuelle)
Assembly layer = L2 = (conductor layer)	Couche d'assemblage = L2 = (couche conductrice)

Figure 18 – Définition de couche de connexion de trou de liaison

2) Définition de coordonnée Z

La Figure 19 représente le sens de rotation des appareils sur les axes X, Y et Z.



IEC

Anglais	Français
Y-axis rotation	Rotation sur l'axe Y
X-axis rotation	Rotation sur l'axe X
Z-axis rotation	Rotation sur l'axe Z
Device coordinate origin	Origine des coordonnées de l'appareil
X-rotation	Rotation sur l'axe X
Y-rotation	Rotation sur l'axe Y
Z-rotation	Rotation sur l'axe Z

Figure 19 – Sens de rotation sur les axes X, Y et Z

4.7.4 Figures de base

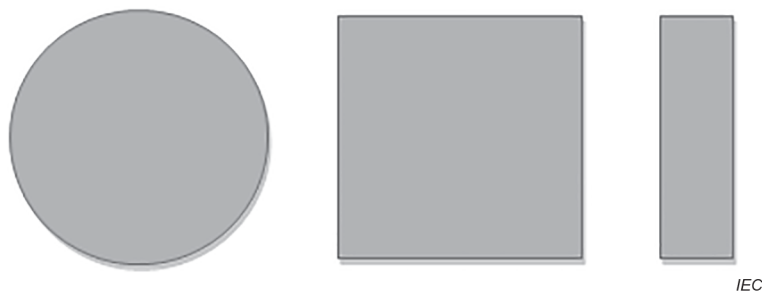
4.7.4.1 Généralités

Les dix figures suivantes sont disponibles:

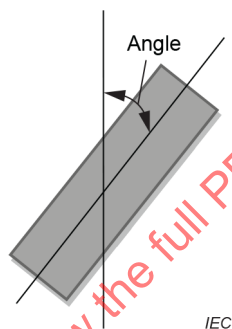
- 1) point;
- 2) zone;
- 3) ligne;
- 4) texte;
- 5) fil de liaison;
- 6) demi-sphère;
- 7) prisme rectangulaire;
- 8) trou de liaison;
- 9) appareil;
- 10) groupe.

4.7.4.2 Point

Les points décrivent les formes ronde, carrée et rectangulaire, l'angle de rotation et l'épaisseur, comme cela est représenté à la Figure 20.



a) Formes ronde, carrée et rectangulaire



b) Angle de rotation

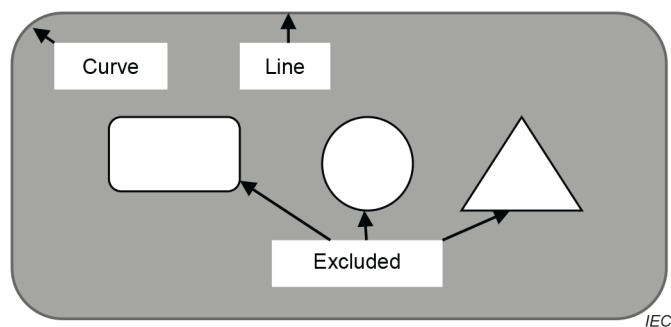


c) Épaisseur

Figure 20 – Point

4.7.4.3 Zone

Les zones peuvent être spécifiées comme cela est indiqué à la Figure 21.



Anglais	Français
Curve	Courbe
Line	Ligne
Excluded	Exclu

Il s'agit d'une forme fermée incluant de nombreux composants, et qui peut spécifier des lignes/courbes en tant qu'éléments constitutifs et des parties exclues.

a) Forme fermée



b) Épaisseur

Figure 21 – Zone

4.7.4.4 Ligne

Les lignes peuvent être spécifiées comme cela est indiqué à la Figure 22.



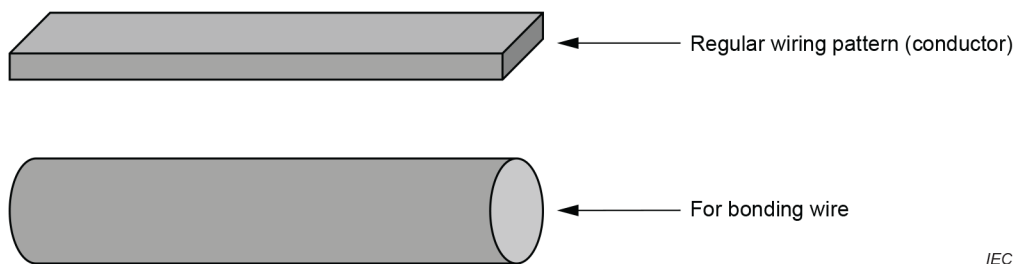
Elles peuvent spécifier une ligne continue ayant des lignes et courbes en tant qu'éléments constitutifs.

a) Ligne continue



Elle peut spécifier une forme extrudée (arrondi/angle).

b) Forme extrudée



IEC

Elles peuvent spécifier des types de sections (forme ronde ou rectangulaire) et l'épaisseur.

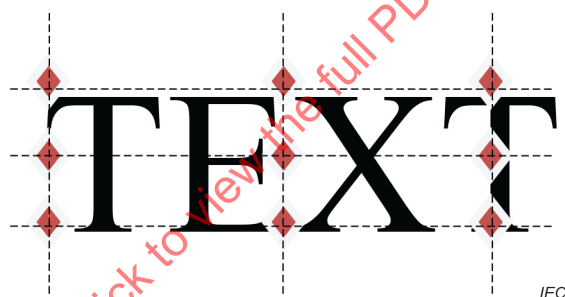
Anglais	Français
Regular wiring pattern (conductor)	Schéma régulier de câblage
For bonding pattern	Pour fil de liaison

c) Section transversale

Figure 22 – Lignes

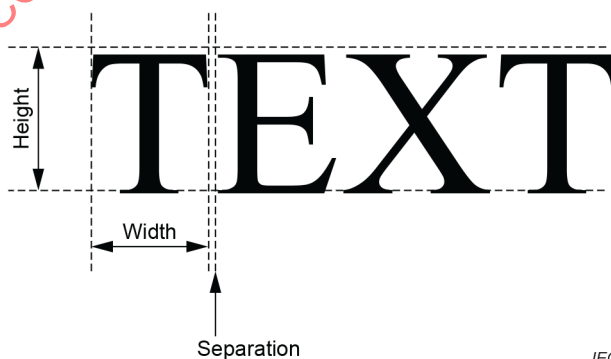
4.7.4.5 Texte

Le texte peut spécifier l'origine d'une lettre, sa hauteur, sa largeur, son espacement et son inclinaison, comme cela est indiqué à la Figure 23 et à la Figure 24.



IEC

a) Points originaux des lettres



IEC

Anglais	Français
Height	Hauteur
Width	Largeur
Separation	Espacement

b) Hauteur/largeur/espacement de la lettre



c) Angle de la lettre

Figure 23 – Lettres

Keep basic pattern "line" data

Anglais	Français
Keep basic pattern "line" data	Conserver les données de "ligne" du motif de base

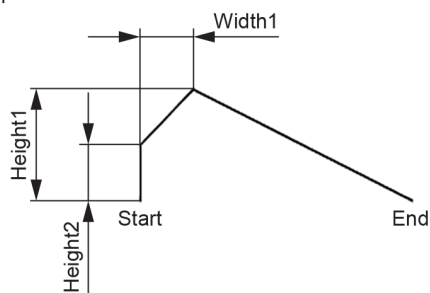
Il est possible de conserver le motif étendu du vecteur de la police de caractère du texte.

Figure 24 – Forme de lettre

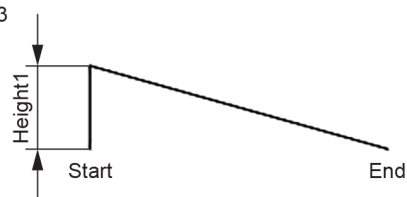
4.7.4.6 Fil de liaison

Les informations de fil de liaison sont résumées à la Figure 25 pour les types de figures de fils 1 à 4.

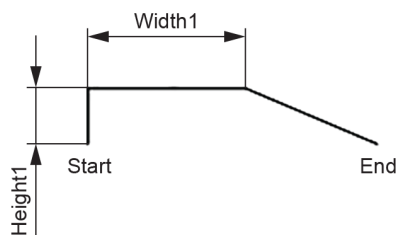
Wire figure type1



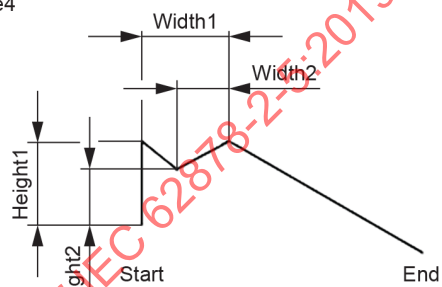
Wire figure type3



Wire figure type2



Wire figure type4



IEC

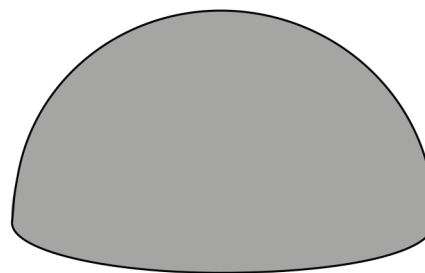
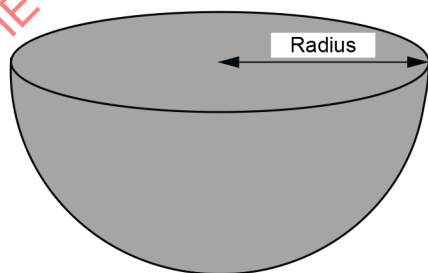
Anglais	Français
Wire figure type	Type de figure de fil
Height	Hauteur
Width	Largeur
Start	Début
End	Fin

Figure 25 – Informations de fil de liaison

4.7.4.7 Demi-sphère

La Figure 26 représente des demi-sphères dans deux directions. Une demi-sphère est définie par les paramètres suivants:

- 1) rayon;
- 2) angle de rotation.



180° rotation

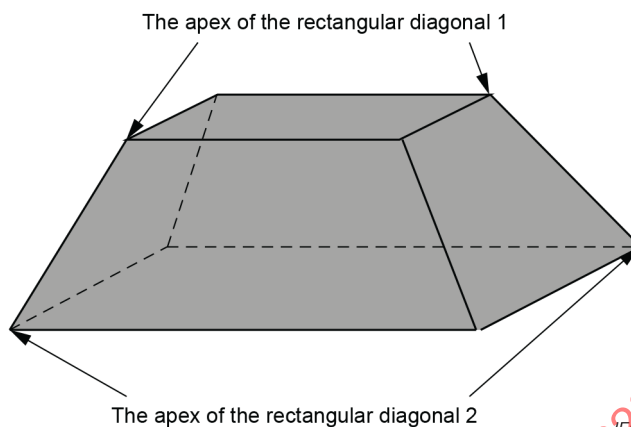
IEC

Anglais	Français
Radius	Rayon
180° rotation	Rotation à 180°

Figure 26 – Demi-sphère

4.7.4.8 Pyramide tronquée

La pyramide quadrangulaire tronquée est représentée par le sommet de la diagonale rectangulaire de la surface basse et le sommet de la diagonale rectangulaire de la surface haute, comme cela est représenté à la Figure 27.



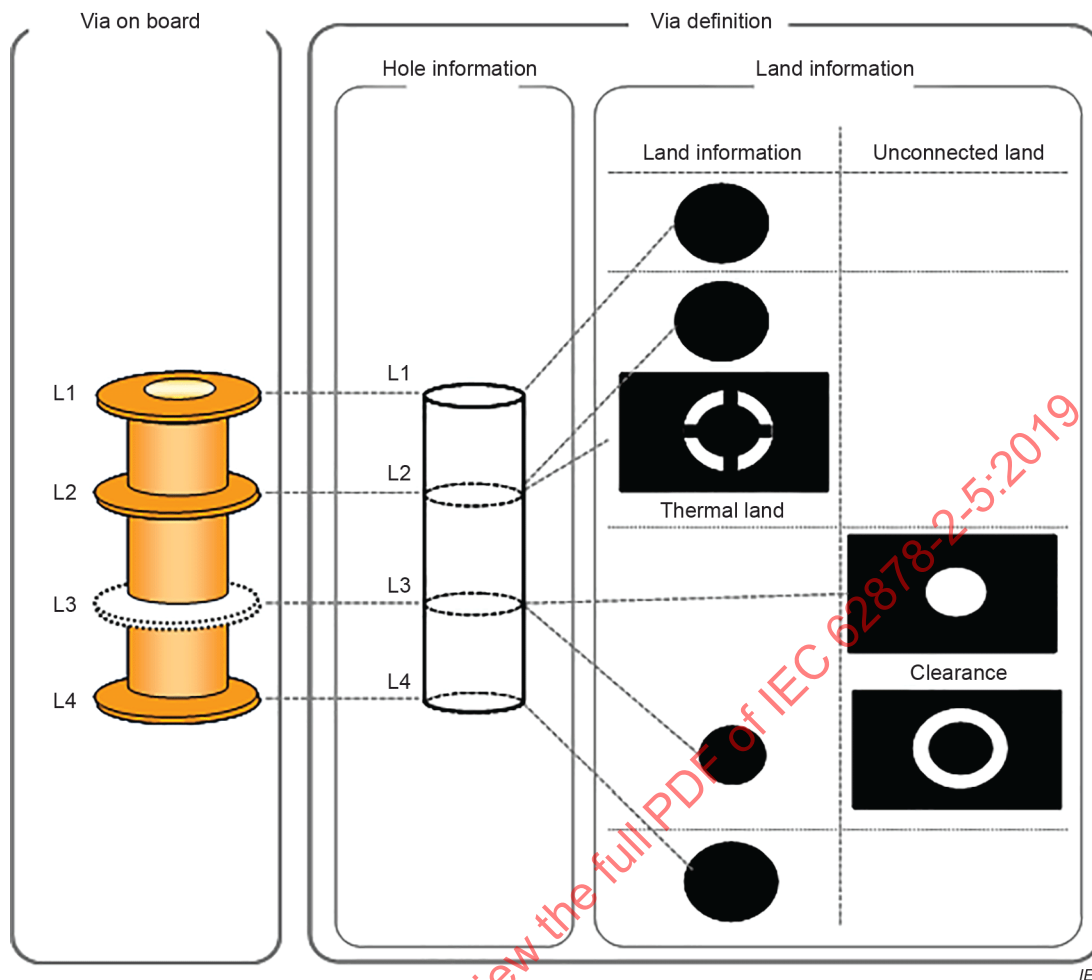
Anglais	Français
The apex of the rectangular diagonal	Sommet de la diagonale rectangulaire

Figure 27 – Pyramide tronquée

4.7.4.9 Trou de liaison

La Figure 28 représente les informations du trou de liaison fondées sur les catégories suivantes:

- 1) informations du trou et informations de la pastille;
- 2) trou de liaison connecté ou non;
- 3) position, numéro de l'appareil de montage et séparation.



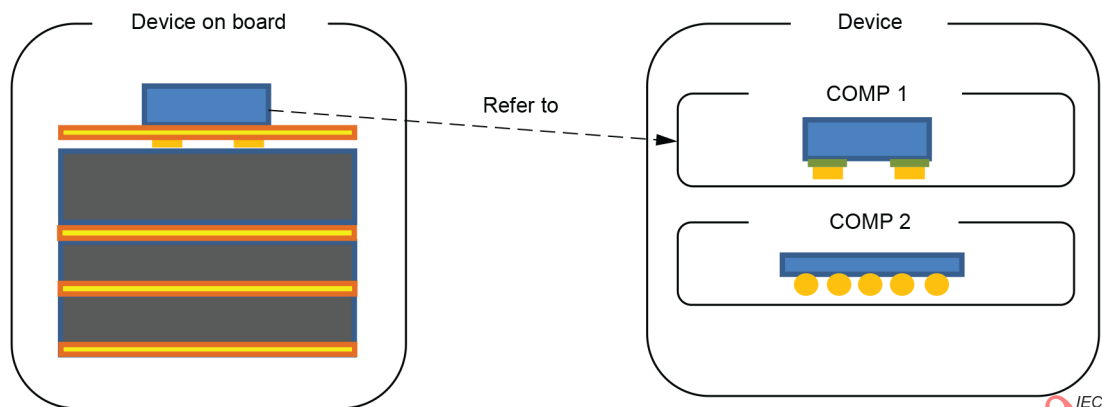
Anglais	Français
Via on board	Trou de liaison sur carte
Via definition	Définition du trou de liaison
Hole information	Informations du trou
Land information	Informations de la pastille
Unconnected land	Pastille non connectée
Thermal land	Pastille thermique
Clearance	Dégagement

Figure 28 – Trou de liaison

4.7.4.10 Appareil

La Figure 29 représente les informations de l'appareil fondées sur les catégories suivantes:

- 1) structure de l'appareil;
- 2) structure sur carte;
- 3) position, numéro de l'appareil de montage et séparation.



Anglais	Français
Device on board	Appareil sur carte
Device	Appareil
Refer to	Se réfère à

Figure 29 – Définition de l'appareil

4.7.4.11 Groupe

Le groupe est une combinaison des figures de base comme les lignes de dimension représentées à la Figure 30. Il peut être représenté en une seule figure.



Figure 30 – Groupe

4.7.5 Informations d'interconnexion

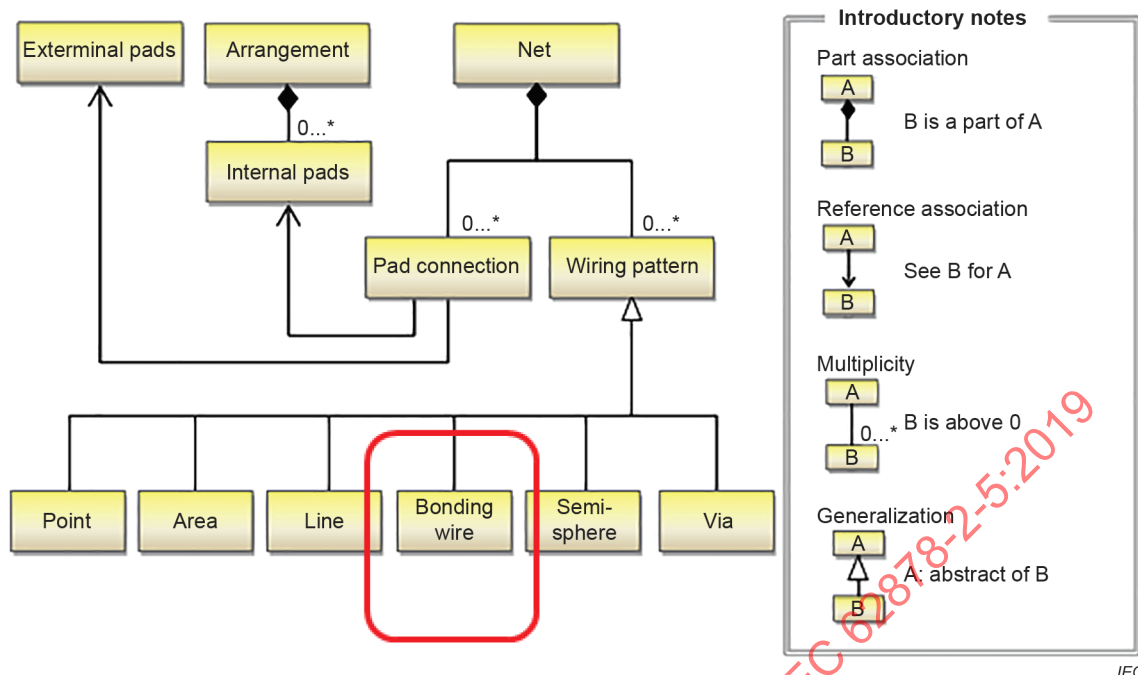
Les informations d'interconnexion conservent les informations terminales de connexion et les informations de schéma d'interconnexion, comme cela est représenté à la Figure 31. Les informations de connexion du terminal sont les informations qui interconnectent les pages internes d'un appareil ou qui connectent des pages internes et les pages externes.

1) Informations de plage de connexion:

- noms des pages internes;
- noms des pages externes.

2) Figures d'impression:

- point;
- zone;
- ligne;
- fil de liaison;
- demi-sphère;
- trou de liaison.



Anglais	Français
External pads	Plages externes
Arrangement	Disposition
Net	Interconnexion
Internal pads	Plages externes
Pad connection	Connexion de plage
Wiring pattern	Schéma d'interconnexion
Point	Point
Area	Zone
Line	Ligne
Bonding wire	Fil de liaison
Semi-sphere	Demi-sphère
Via	Trou de liaison
Introductory notes	Notes d'introduction
Part association	Association des parties
B is a part of A	B fait partie de A
Reference association	Association de référence
See B for A	Voir B pour A
Multiplicity	Multiplicité
B is above 0	B est au-dessus de 0
Generalization	Généralisation
A: abstract of B	A: extrait de B

Figure 31 – Structure de données des informations d'interconnexion

4.7.6 Informations du dessin de base

Les informations du dessin de base conservent les données de figure sur carte du dessin de base qui ne sont pas incluses dans les informations d'interconnexion. Les figures du dessin de base comprennent les figures de base suivantes. Les informations comprennent également les marques de symbole, le moule, l'entretoise et les remarques.

- 1) point;
- 2) zone;
- 3) ligne;
- 4) texte;
- 5) fil de liaison;
- 6) demi-sphère;
- 7) prisme rectangulaire;
- 8) trou de liaison;
- 9) appareil.

4.7.7 Informations du boîtier

Les informations du boîtier conservent les figures lorsque la structure principale possède la figure du boîtier. La figure du boîtier de l'appareil peut utiliser les figures de base suivantes:

- 1) point;
- 2) zone;
- 3) ligne;
- 4) texte;
- 5) demi-sphère;
- 6) prisme rectangulaire.

4.7.8 Informations du port externe

Les ports externes sont les bornes des signaux qui fournissent les informations électroniques des appareils intégrés et cartes vers l'extérieur de la carte. Les informations du port conservent la forme et les noms des ports externes de la structure de la carte. Les formes suivantes peuvent être utilisées pour les informations:

- 1) point;
- 2) zone;
- 3) ligne;
- 4) demi-sphère;
- 5) trou de liaison.

4.7.9 Informations du port interne

Les ports internes sont les bornes lorsqu'un appareil est intégré pour fournir les données aux ports externes. Ils relient l'interconnexion intérieure de la carte à l'extérieur et ont la même structure que les ports externes.

4.7.10 Informations d'extension de l'utilisateur

Les informations d'extension de l'utilisateur représentées à la Figure 8 peuvent être étendues aux données de définition et aux données de carte. La propriété constitue une donnée qui peut être étendue par l'utilisateur de ce format. Il est possible d'appliquer cette propriété à une partie des données de définition et des données de carte. Il est possible de choisir toute combinaison de "nom de définition" = "données".

4.8 Données définies

4.8.1 Généralités

Les données définies sont la définition des informations utilisées de façon répétitive. Les données de définition représentées à la Figure 8 contiennent les quatre définitions suivantes:

- 1) définition de couche;
- 2) définition de pastille;
- 3) définition du trou de liaison;
- 4) définition de l'appareil.

4.8.2 Définition de couche

La définition de couche comprend les deux types d'informations, les informations physiques qui donnent les figures physiques et la construction, et les informations logiques qui peuvent être spécifiées arbitrairement lors de la conception. La couche virtuelle est incluse dans les informations physiques. Il est également possible de relier la couche physique et la couche logique, comme cela est représenté à la Figure 32.

- 1) Informations physiques:
 - a) elles conservent la structure de la couche physique et son ordre;
 - b) elles conservent les attributs de chaque couche physique comme la taille, la forme et le matériau du conducteur et des couches isolantes;
 - c) elles conservent les types de conducteurs et les couches virtuelles.
- 2) Informations de couche logique:
 - a) disposition des figures (conducteur, épargne de brasage, marques de symbole, etc.);
 - b) polarité d'une figure (positive ou négative);
 - c) relie les informations à la couche physique;
 - d) position par rapport à la couche physique.