COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

NORME DE LA CEI

INTERNATIONAL ELECTROTECHNICAL COMMISSION

IEC STANDARD

Publication 617-12

Première édition — First edition

1983

Symboles graphiques pour schémas

Douzième partie: Opérateurs logiques binaires

Graphical symbols for diagrams

Part 12: Binary logic elements

Withdrawn

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

© CEI 1983

Droits de reproduction réservés — Copyright - all rights reserved

Bureau Central de la Commission Electrotechnique Internationale

3, rue de Varembé

Genève, Suisse

Révision de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la Commission afin d'assurer qu'il reflète bien l'état actuel de la technique.

Les renseignements relatifs à ce travail de révision, à l'établissement des éditions révisées et aux mises à jour peuvent être obtenus auprès des Comités nationaux de la CEI et en consultant les documents ci-dessous:

- **Bulletin de la CEI**
- **Annuaire de la CEI**
- **Catalogue des publications de la CEI**

  Publié annuellement

Terminologie

En ce qui concerne la terminologie générale, le lecteur se reportera à la Publication 50 de la CEI: Vocabulaire Electrotechnique International (VEI), qui est établie sous forme de chapitres séparés traitant chacun d'un sujet défini, l'Index général étant publié séparément. Des détails complets sur le VEI peuvent être obtenus sur demande.

Les termes et définitions figurant dans la présente publication ont été soit repris du VEI, soit spécifiquement approuvés aux fins de cette publication.

Symboles graphiques et littéraux

Pour les symboles graphiques, symboles littéraux et signes d'usage général approuvés par la CEI, le lecteur consultera:

— la Publication 27 de la CEI: Symboles littéraux à utiliser en électrotechnique;

— la Publication 617 de la CEI: Symboles graphiques pour schémas.

Publications de la CEI établies par le même Comité d'Etudes

L'attention du lecteur est attirée sur la page 3 de la couverture, qui énumère les publications de la CEI préparées par le Comité d'Etudes qui a établi la présente publication.

Revision of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information on the work of revision, the issue of revised editions and amendment sheets may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
- **IEC Yearbook**
- **Catalogue of IEC Publications**

  Published yearly

Terminology

For general terminology, readers are referred to IEC Publication 50: International Electrotechnical Vocabulary (IEV), which is issued in the form of separate chapters each dealing with a specific field, the General Index being published as a separate booklet. Full details of the IEV will be supplied on request.

The terms and definitions contained in the present publication have either been taken from the IEV or have been specifically approved for the purpose of this publication.

Graphical and letter symbols

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to:

— IEC Publication 27: Letter symbols to be used in electrical technology;

— IEC Publication 617: Graphical symbols for diagrams.

IEC publications prepared by the same Technical Committee

The attention of readers is drawn to the inside of the back cover, which lists IEC publications issued by the Technical Committee which has prepared the present publication.

IECNORM.COM : Click to view the full PDF of IEC 60417-12:1983

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

NORME DE LA CEI

INTERNATIONAL ELECTROTECHNICAL COMMISSION

IEC STANDARD

Publication 617-12

Première édition — First edition

1983

Symboles graphiques pour schémas

Douzième partie: Opérateurs logiques binaires

Graphical symbols for diagrams

Part 12: Binary logic elements

Withdrawn

IECNORM.COM : Click to view the full PDF of iec 60617-12:1983

© CEI 1983

Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale

3, rue de Varembé

Genève, Suisse

SOMMAIRE

		Pages
PRÉAMBULE		6
PRÉFACE		6
CHAPITRE I:	GÉNÉRALITÉS	10
	Section 1 – Introduction	10
	Section 2 – Notes générales	10
	Section 3 – Explication de termes	12
CHAPITRE II:	FORMATION DES SYMBOLES	14
	Section 4 – Composition d'un symbole	14
	Section 5 – Cadres	15
	Section 6 – Emploi et associations de cadres	16
CHAPITRE III:	SYMBOLES DISTINCTIFS ASSOCIÉS AUX ACCÈS ET CONNEXIONS INTERNES	23
	Section 7 – Négation, polarité logique et entrée dynamique	23
	Section 8 – Connexions internes	25
	Section 9 – Symboles intérieurs aux cadres, concernant les accès	27
	Section 10 – Accès non concernés par une information logique binaire, sens de propagation de l'information	44
CHAPITRE IV:	NOTATION DE DÉPENDANCE	46
	Section 11 – Exposé	46
	Section 12 – Convention	47
	Section 13 – Types de dépendance	48
	Section 14 – Dépendance ET (dépendance G)	52
	Section 15 – Dépendance OU (dépendance V)	54
	Section 16 – Dépendance de NÉGATION (dépendance N)	55
	Section 17 – Dépendance d'INTERCONNEXION (dépendance Z)	56
	Section 18 – Dépendance de COMMANDE (dépendance C)	58
	Section 19 – Dépendance MISE À UN (dépendance S) et dépendance MISE À ZÉRO (dépendance R)	60
	Section 20 – Dépendance de VALIDATION (dépendance EN)	63
	Section 21 – Dépendance de MODE (dépendance M)	64
	Section 22 – Comparaison entre les influences C, EN, et M sur les entrées	68
	Section 23 – Dépendance ADRESSE (dépendance A)	68
	Section 24 – Techniques particulières de symbolisation pour la notation de dépendance	73
	Section 25 – Ordre de marquages des accès	77
CHAPITRE V:	OPÉRATEURS COMBINATOIRES ET SÉQUENTIELS	83
	Section 26 – Notes générales	83
	Section 27 – Opérateurs combinatoires	84
	Section 28 – Exemples d'opérateurs combinatoires	87
	Section 29 – Exemples d'amplificateurs, émetteurs et récepteurs	92
	Section 30 – Opérateurs à hystérésis	96
	Section 31 – Exemples d'opérateurs à hystérésis	96
	Section 32 – Convertisseurs de code, transcodeurs	97
	Section 33 – Exemples de transcodeurs	101
	Section 34 – Convertisseur de niveau de signal avec ou sans séparation galvanique	106
	Section 35 – Exemples de convertisseurs de niveau de signal	107

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

CONTENTS

		Page
FOREWORD		7
PREFACE		7
CHAPTER I:	GENERAL	11
	Section 1 – Introduction	11
	Section 2 – General notes	11
	Section 3 – Explanation of terms	13
CHAPTER II:	SYMBOL CONSTRUCTION	14
	Section 4 – Composition of the symbol	14
	Section 5 – Outlines	15
	Section 6 – Use and combination of outlines	16
CHAPTER III:	QUALIFYING SYMBOLS ASSOCIATED WITH INPUTS, OUTPUTS AND OTHER CONNECTIONS	23
	Section 7 – Negation, logic polarity and dynamic input	23
	Section 8 – Internal connections	25
	Section 9 – Symbols inside the outline	27
	Section 10 – Non-logic connections and signal-flow indicators	44
CHAPTER IV:	DEPENDENCY NOTATION	46
	Section 11 – General explanation	46
	Section 12 – Convention	47
	Section 13 – Types of dependency	48
	Section 14 – AND dependency (G-dependency)	52
	Section 15 – OR dependency (V-dependency)	54
	Section 16 – NEGATE dependency (N-dependency)	55
	Section 17 – INTERCONNECTION dependency (Z-dependency)	56
	Section 18 – CONTROL dependency (C-dependency)	58
	Section 19 – SET and RESET dependency (S- and R-dependency)	60
	Section 20 – ENABLE dependency (EN-dependency)	63
	Section 21 – MODE dependency (M-dependency)	64
	Section 22 – Comparison of C-, EN- and M-effects on inputs	68
	Section 23 – ADDRESS dependency (A-dependency)	68
	Section 24 – Special techniques used in dependency notation	73
	Section 25 – The ordering of labels associated with inputs and with outputs	77
CHAPTER V:	COMBINATIVE AND SEQUENTIAL ELEMENTS	83
	Section 26 – General notes	83
	Section 27 – Combinative elements	84
	Section 28 – Examples of combinative elements	87
	Section 29 – Examples of buffers, drivers and receivers	92
	Section 30 – Elements with hysteresis	96
	Section 31 – Examples of elements with hysteresis	96
	Section 32 – Coders, code converters	97
	Section 33 – Examples of code converters	101
	Section 34 – Signal-level converters with or without galvanic separation	106
	Section 35 – Examples of signal-level converters	107

Withdrawn
IECNORMSCOM : Click to view the full PDF of IEC 60617-12:1983

Pages

Section 36 – Multiplexeurs et démultiplexeurs 107
Section 37 – Exemples de multiplexeurs et démultiplexeurs 108
Section 38 – Opérateurs arithmétiques 111
Section 39 – Exemples d'opérateurs arithmétiques 113
Section 40 – Opérateurs binaires à retard 118
Section 41 – Opérateurs bistables 120
Section 42 – Exemples d'opérateurs bistables 121
Section 43 – Indication de propriétés particulières d'opérateurs bistables à la mise sous tension 126
Section 44 – Opérateurs monostables 127
Section 45 – Exemples d'opérateurs monostables 128
Section 46 – Opérateurs astables 129
Section 47 – Exemples d'opérateurs astables 131
Section 48 – Registres à décalage et compteurs 133
Section 49 – Exemples de registres à décalage et de compteurs 134
Section 50 – Mémoires 143
Section 51 – Exemples de mémoires 144

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

Page

Section 36 – Multiplexers and demultiplexers 107
Section 37 – Examples of multiplexers and demultiplexers 108
Section 38 – Arithmetic elements 111
Section 39 – Examples of arithmetic elements 113
Section 40 – Binary delay elements 118
Section 41 – Bistable elements 120
Section 42 – Examples of bistable elements 121
Section 43 – Indication of special switching properties of bistable elements 126
Section 44 – Monostable elements 127
Section 45 – Examples of monostable elements 128
Section 46 – Astable elements 129
Section 47 – Examples of astable elements 131
Section 48 – Shift registers and counters 133
Section 49 – Examples of shift registers and counters 134
Section 50 – Memories 143
Section 51 – Examples of memories 144

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

SYMBOLES GRAPHIQUES POUR SCHÉMAS

Douzième partie: Opérateurs logiques binaires

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

PRÉAMBULE

1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.

2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.

3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

PRÉFACE

Cette norme a été établie par le Sous-Comité 3A: Symboles graphiques pour schémas, du Comité d'Etudes n° 3 de la CEI: Symboles graphiques.

Elle est issue en partie de l'ancienne Publication 117 de la CEI que l'on a remaniée entièrement. La Publication 617 de la CEI remplace la Publication 117 de la CEI. Le développement rapide d'un système de conception assistée par ordinateur a aussi joué un rôle dans cette publication. Tous les symboles sont conçus à l'aide d'une grille qu'accompagne un support transparent et qui figure dans la Publication 617-1 de la CEI (en cours d'impression).

Des projets, préparés par le Groupe de Travail 2 du Sous-Comité 3A au cours de dix réunions entre 1973 et 1979, furent discutés lors d'une réunion du Sous-Comité 3A à La Haye en 1979. A la suite de cette réunion, un projet, document 3A(Bureau Central)115, fut soumis à l'approbation des Comités nationaux selon la Règle des Six Mois en avril 1980.

Les Comités nationaux des pays ci-après se sont prononcés explicitement en faveur de la publication:

Allemagne	Egypte	Suède
Australie	Israël	Suisse
Autriche	Norvège	Turquie
Canada	Pays-Bas	

Les Comités nationaux des pays ci-après ont voté contre la publication à moins qu'on n'insère des modifications:

Etats-Unis d'Amérique	France	Royaume-Uni
Finlande		

En accord avec la décision prise à la réunion tenue à Baden-Baden en septembre 1980, le document n'a pas été publié; il fut demandé au Groupe de Travail 2 du Sous-Comité 3A de prendre les commentaires en considération et d'aider le Président du Sous-Comité 3A à l'établissement d'un projet contenant des modifications au document 3A(Bureau Central)115. Il en est résulté le document 3A(Bureau Central)131 qui fut soumis à l'approbation des Comités nationaux selon la Procédure des Deux Mois en mai 1981.

Les Comités nationaux des pays ci-après se sont prononcés explicitement en faveur de la publication:

Allemagne	Egypte	Pays-Bas
Australie	Espagne	Royaume-Uni
Autriche	Etats-Unis d'Amérique	Suède
Belgique	Finlande	Suisse
Danemark	Japon	

INTERNATIONAL ELECTROTECHNICAL COMMISSION

GRAPHICAL SYMBOLS FOR DIAGRAMS

Part 12: Binary logic elements

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

FOREWORD

1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.

2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.

3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

PREFACE

This standard has been prepared by Sub-Committee 3A: Graphical Symbols for Diagrams, of IEC Technical Committee No. 3: Graphical Symbols.

It is partly derived from the old IEC Publication 117 that has been reorganized thoroughly. IEC Publication 617 replaces IEC Publication 117. Also the fast development of computer aided draughting had its influence upon this publication. All the symbols are (re)designed on a grid. A transparent over-lay with this grid is included in IEC Publication 617-1 (being printed).

Drafts, prepared by Working Group 2 of Sub-Committee 3A during ten meetings between 1973 and 1979, were discussed at a meeting of Sub-Committee 3A held in The Hague in 1979. As a result of this meeting, a draft, Document 3A(Central Office)115, was submitted to the National Committees for approval under the Six Months' Rule in April 1980.

The National Committees of the following countries voted explicitly in favour of publication:

Australia	Germany	Sweden
Austria	Israel	Switzerland
Canada	Netherlands	Turkey
Egypt	Norway	

The National Committees of the following countries voted against publication unless amendments would be inserted:

Finland	United Kingdom	United States of America
France		

In accordance with a decision taken at the meeting held in Baden-Baden in September 1980, the document was not published, but Working Group 2 of Sub-Committee 3A was requested to consider all comments and to assist the Chairman of Sub-Committee 3A with the preparation of a draft, containing amendments to Document 3A(Central Office)115. As a result of this, Document 3A(Central Office)131 was submitted to the National Committees for approval under the Two Months' Procedure in May 1981.

The National Committees of the following countries voted explicitly in favour of publication:

Australia	Finland	Sweden
Austria	Germany	Switzerland
Belgium	Japan	United Kingdom
Denmark	Netherlands	United States of America
Egypt	Spain	

Autres publications de la CEI citées dans cette norme:

Publications n°s 113–7: Schémas, diagrammes, tableaux, Septième partie: Etablissement des logigrammes.
117–15: Symboles graphiques recommandés, Quinzième partie: Opérateurs logiques binaires.
617–1: Symboles graphiques pour schémas, Première partie: Généralités, index général – Tables de correspondance (en cours d'impression).
617–2: Deuxième partie: Eléments des symboles, symboles distinctifs et autres symboles d'application générale.
617–3: Troisième partie: Conducteurs et dispositifs de connexion.
617–10: Dixième partie: Télécommunications: Transmission.
617–13: Treizième partie: Opérateurs analogiques.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

Other IEC publications quoted in this standard:

Publications Nos. 113–7: Diagrams, Charts, Tables, Part 7: Preparation of Logic Diagrams.
117–15: Recommended Graphical Symbols, Part 15: Binary Logic Elements.
617–1: Graphical Symbols for Diagrams, Part 1: General Information, General Index – Cross-reference Tables (being printed).
617–2: Part 2: Symbol Elements, Qualifying Symbols and Other Symbols Having General Application.

617–3: Part 3: Conductors and Connecting Devices.
617–10: Part 10: Telecommunications: Transmission.
617–13: Part 13: Analogue Elements.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

SYMBOLES GRAPHIQUES POUR SCHÉMAS

Douzième partie: Opérateurs logiques binaires

CHAPITRE I: GÉNÉRALITÉS

SECTION 1 – INTRODUCTION

1.1 La présente norme contient des symboles graphiques établis pour représenter des fonctions logiques. Ces symboles sont également destinés à représenter les dispositifs physiques capables de réaliser lesdites fonctions. Les symboles visent les dispositifs électriques, mais peuvent pour la plupart être appliqués à des dispositifs non électriques, par exemple pneumatiques, hydrauliques ou mécaniques.

SECTION 2 – NOTES GÉNÉRALES

2.1 Les symboles conformes à la Publication 117-15 de la CEI: Symboles graphiques recommandés: Quinzième partie: Opérateurs logiques binaires, seront encore nécessaires pour une période transitoire prolongée mais devront être progressivement remplacés par les symboles représentés dans la présente norme. Bien que déconseillé, l'emploi d'autres symboles définis par des normes nationales, notamment les symboles se distinguant par la forme des cadres à la place des symboles 12-27-01, 12-27-02, 12-27-09, 12-27-10, 12-27-11, 12-27-12, 12-28-01, 12-28-02 et 12-28-04, n'est pas considéré comme contradictoire à la présente norme. Toutefois, l'emploi de tels symboles dans les symboles combinés d'opérateurs complexes (par exemple en figuration imbriquée) est vivement déconseillé.

2.2 Les définitions et correspondances entre états logiques et niveaux logiques sont données dans la Publication 113-7 de la CEI: Schémas, diagrammes, tableaux, Septième partie: Etablissement des logigrammes.

2.3 La présente norme utilise les symboles 0 et 1 pour identifier les deux états logiques d'une variable binaire qui sont désignés par «état 0» et «état 1».

2.4 Une variable binaire peut s'identifier à une certaine grandeur physique pour laquelle deux domaines distincts peuvent être définis. Dans la présente norme, ces domaines sont identifiés à deux niveaux logiques H et L.

H désigne le niveau le plus positif, L désigne le niveau le moins positif.

2.5 Dans le cas de système dans lequel les états logiques sont identifiés par d'autres caractéristiques (impulsions positives et négatives, présence ou absence d'une impulsion), H et L peuvent encore être utilisés ou être remplacés par une désignation mieux appropriée.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

GRAPHICAL SYMBOLS FOR DIAGRAMS

Part 12: Binary logic elements

CHAPTER I: GENERAL

SECTION 1 – INTRODUCTION

1.1 This standard contains graphical symbols which have been developed to represent logic functions. They are intended also to represent physical devices capable of carrying out these functions. The symbols have been prepared with a view to electrical applications, but the majority may also be applied to non-electrical devices, for example pneumatic, hydraulic, mechanical.

SECTION 2 – GENERAL NOTES

2.1 Symbols in accordance with the superseded IEC Publication 117-15: Recommended Graphical Symbols, Part 15: Binary Logic Elements, will be required for a prolonged changeover period but should be progressively superseded by the symbols given in this standard. Although non-preferred, the use of other symbols recognized by official national standards, i.e. distinctive shapes in place of symbols 12-27-01, 12-27-02, 12-27-09, 12-27-10, 12-27-11, 12-27-12, 12-28-01, 12-28-02 and 12-28-04, shall not be considered to be in contradiction with this standard. Usage of these other symbols in combination to form complex symbols (e.g. use as embedded symbols) is discouraged.

2.2 For explanation of "logic states", "logic levels", etc., see IEC Publication 113-7: Diagrams, Charts, Tables, Part 7: Preparation of Logic Diagrams.

2.3 This standard uses the symbols 0 and 1 to identify the two logic states of a binary variable. These states are referred to as 0-state and 1-state.

2.4 A binary variable may be equated to any physical quantity for which two distinct ranges can be defined. In this standard these distinct ranges are referred to as logic levels and are denoted H and L.

H is used to denote the logic level with the more positive algebraic value, and L is used to denote the logic level with the less positive algebraic value.

2.5 In the case of a system in which logic states are equated with other qualities of a physical quantity (e.g. positive or negative pulses, presence or absence of a pulse), H and L may be used to represent these qualities or may be replaced by more suitable designations.

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

SECTION 3 – EXPLICATION DE TERMES

Pour la compréhension de la suite de la présente norme, les trois notions suivantes sont nécessaires.

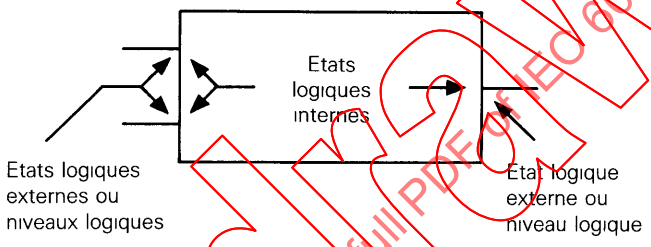
3.1 Etat logique interne: état logique réputé exister à l'intérieur du symbole à un accès (entrée ou sortie).

3.2 Etat logique externe: état logique réputé exister à l'extérieur du symbole:

- sur tout tracé d'entrée, avant tout symbole distinctif attaché à cette entrée, ou
- sur tout tracé de sortie, après tout symbole distinctif attaché à cette sortie.

3.3 Niveau logique: propriété physique réputée représenter un état logique d'une variable binaire (voir articles 2.3 et 2.4).

Illustration



Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

SECTION 3 – EXPLANATION OF TERMS

To facilitate understanding of the descriptions in the rest of this standard, it is useful to define three terms.

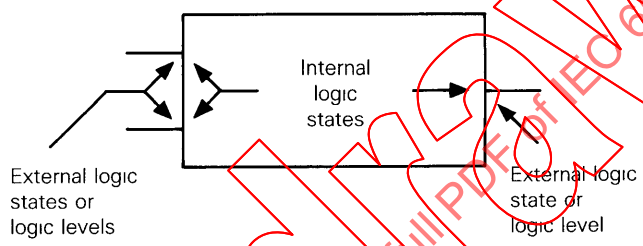
3.1 "Internal logic state" describes a logic state assumed to exist inside a symbol outline at an input or an output.

3.2 "External logic state" describes a logic state assumed to exist outside a symbol outline:

- on an input line prior to any external qualifying symbol at that input, or
- on an output line beyond any external qualifying symbol at that output.

3.3 "Logic level" describes the physical quality assumed to represent a logic state of a binary variable (see Clauses 2.3 and 2.4).

Illustration



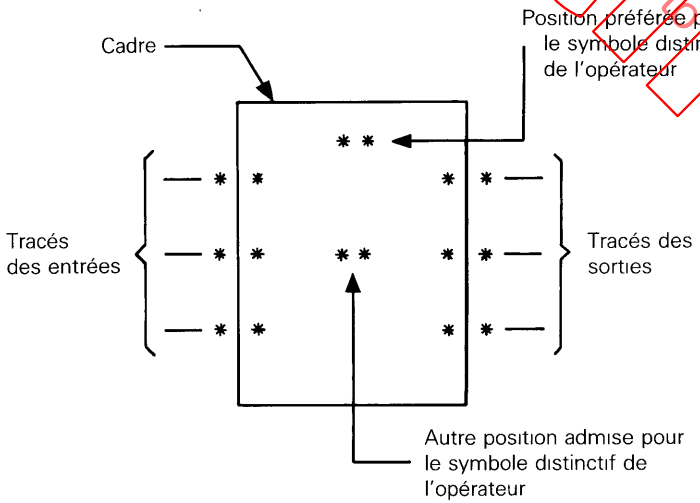
Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

CHAPITRE II: FORMATION DES SYMBOLES

SECTION 4 – COMPOSITION D'UN SYMBOLE

4.1 Un symbole comprend un cadre, ou un groupement de cadres, complété de symboles distinctifs.

L'utilisation de ces symboles nécessite en outre le tracé des accès (entrées ou sorties).



Notes 1. – Les astérisques simples (*) indiquent les positions possibles pour les symboles distinctifs intéressant les accès.

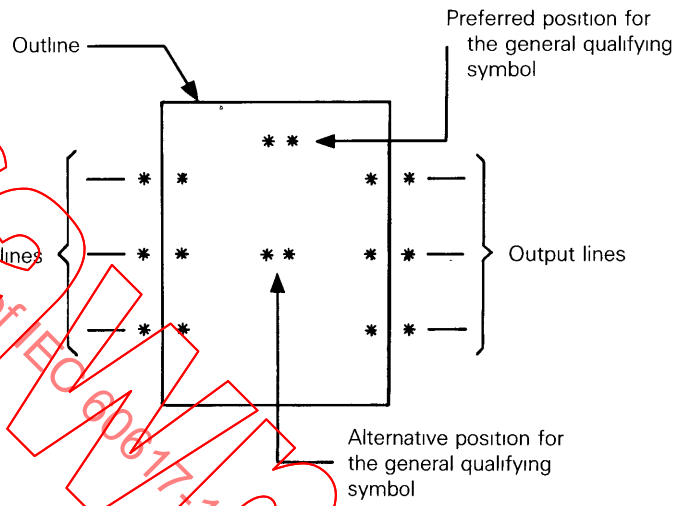
2. – Un symbole distinctif de l'opérateur n'est pas nécessaire si, et seulement si, les symboles distinctifs associés aux accès définissent complètement la fonction de cet opérateur.

CHAPTER II: SYMBOL CONSTRUCTION

SECTION 4 – COMPOSITION OF THE SYMBOL

4.1 A symbol comprises an outline or combination of outlines together with one or more qualifying symbols.

Application of the symbols requires in addition the representation of input and output lines.



Notes 1. – The single asterisk (*) denotes possible positions for qualifying symbols relating to inputs and outputs.

2. – If and only if the function of an element is completely determined by the qualifying symbols associated with its inputs and/or outputs, no general qualifying symbol is needed.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

4.2 Des informations complémentaires peuvent être insérées dans le cadre comme précisé par la Publication 113-7 de la CEI: Schémas, diagrammes, tableaux, Septième partie: Etablissement des logigrammes.

4.3 Une information non couverte par la présente norme concernant un accès donné peut être portée entre parenthèses à l'intérieur du cadre au droit de cet accès, à la suite de tout symbole distinctif s'appliquant à cet accès, s'il s'agit d'une entrée, et avant tout symbole distinctif s'il s'agit d'une sortie, comme figuré au symbole 12-28-14.

Une information complémentaire intéressant la fonction de l'opérateur peut être inscrite entre parenthèses à l'intérieur du cadre.

4.4 Toutes les sorties d'un opérateur unitaire ont le même état logique interne, déterminé par la fonction de l'opérateur, à moins d'une indication contraire, fournie par un symbole distinctif associé à une sortie et placée à l'intérieur du cadre. Dans un groupement d'opérateurs, les symboles distinctifs, qu'ils figurent explicitement ou soient seulement impliqués du fait des simplifications prévues à l'article 6.3, sont également à considérer.

4.5 Dans de nombreuses figures, des lettres minuscules qui ne font pas parties du symbole apparaissent à l'extérieur du cadre; elles sont ajoutées dans le seul but d'identifier les accès référencés dans les légendes.

SECTION 5 – CADRES

5.1 Aucun rapport longueur-largeur n'est imposé.

5.2 Pour les combinaisons de cadres, voir la section 6.

4.2 General additional information may be included in a symbol outline as described in IEC Publication 113-7: Diagrams, Charts and Tables, Part 7: Preparation of Logic Diagrams.

4.3 Information not standardized in this standard relating to a specific input [output] may be shown in brackets inside the outline adjacent to the relevant input [output] and should follow [precede] any qualifying symbols applying to the input [output] as shown in symbol 12-28-14.

Additional information relating to the general logic function of the element may be shown in brackets inside the outline.

4.4 All outputs of an element represented by a single unsubdivided symbol always have identical internal logic states determined by the function of the element except when indicated otherwise by an associated qualifying symbol or label inside the symbol outline. The subdivision of a symbol and the qualifying symbols referred to here include those explicitly shown and those only implied according to the simplification rules of Clause 6.3.

4.5 In some figures, lower-case letters which are not part of the symbols have been shown outside the outline just to identify the inputs and outputs as referenced in the description.

SECTION 5 – OUTLINES

5.1 The length-width ratio of outlines is arbitrary.

5.2 For combinations of outlines, see Section 6.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-05-01		Cadre d'un opérateur (représenté carré)	Element outline (square shown)
12-05-02		Cadre du symbole des communs	Common control block outline
12-05-03		Cadre d'opérateur commun de sortie	Common output element outline

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983

SECTION 6 – EMPLOI ET ASSOCIATIONS DE CADRES

6.1 Pour réduire la place nécessaire à la représentation d'un groupement d'opérateurs associés, les cadres de ces opérateurs peuvent être accolés ou imbriqués entre eux en respectant les prescriptions ci-après.

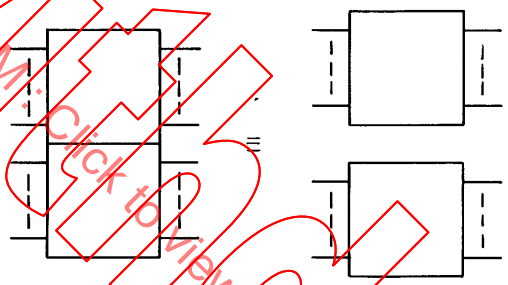
SECTION 6 – USE AND COMBINATION OF OUTLINES

6.1 To reduce the space required for the representation of a group of associated elements, the outlines of the elements may be joined or embedded provided the following rules are observed.

6.1.1 Il n'y a aucune connexion logique entre éléments lorsque le côté commun à leur cadre est parallèle à la direction de propagation des informations.

6.1.1 There is no logic connection between elements when the line common to their outlines is in the direction of signal flow.

Illustration



Note. – Cette règle se trouve sans objet pour les groupements d'opérateurs dans lesquels existent deux ou plusieurs directions de propagation, par exemple dans le cas de symbole des communs, d'opérateur commun de sortie, ou de notation de dépendance.

Note. – This rule does not necessarily apply in those arrays in which there exist two or more directions of signal flow, e.g. indicated by a common control block, a common output element, or by dependency notation.

6.1.2 Il y a au moins une connexion logique quand un trait commun à deux cadres est perpendiculaire à la direction de propagation des informations.

Chaque connexion peut être indiquée par des symboles distinctifs placés sur un côté ou de chaque côté du trait commun. S'il peut y avoir doute sur le nombre de connexions logiques, le symbole de connexion interne (symbole 12-08-01) est à utiliser.

Si aucune indication n'est portée de l'un ou de l'autre côté du trait commun, il n'y a qu'une seule connexion logique.

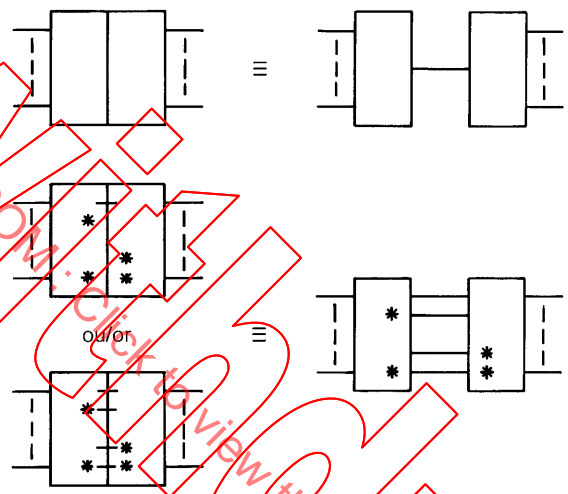
6.1.2 There is at least one logic connection if the line common to two outlines is perpendicular to the direction of signal flow.

Each connection can be shown by the presence of qualifying symbols at one or both sides of the common line. If confusion can arise about the number of logic connections, use can be made of the internal connection symbol (symbol 12-08-01).

If no indications are shown on either side of the common line, it is assumed that there exists only one logic connection.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

Illustrations



Chaque astérisque indique une position d'un symbole distinctif.

6.2 Le symbole des communs peut être utilisé dans un groupement d'opérateurs associés pour y placer les accès intéressant plus d'un d'entre eux ou ayant un rôle indépendant. De tels accès doivent être marqués si nécessaire.

6.2.1 Quand une entrée aboutissant au symbole des communs est influençante au sens de la notation de dépendance (voir sections 11 et 12), elle concerne les seuls opérateurs du groupement dans lesquels se trouve son numéro d'identification. Quand une telle entrée n'est pas «influençante», elle concerne tous les opérateurs du groupement.

Le symbole des communs est placé à une extrémité du groupement.

Sauf indication contraire, l'opérateur jouxtant le symbole des communs est réputé être celui de rang le plus bas.

Each asterisk denotes a position for a qualifying symbol.

6.2 The common control block may be used in conjunction with an array of related elements as a point of placement for inputs or outputs associated with more than one element of the array, or with no element of the array. Such inputs and outputs shall be labelled if appropriate.

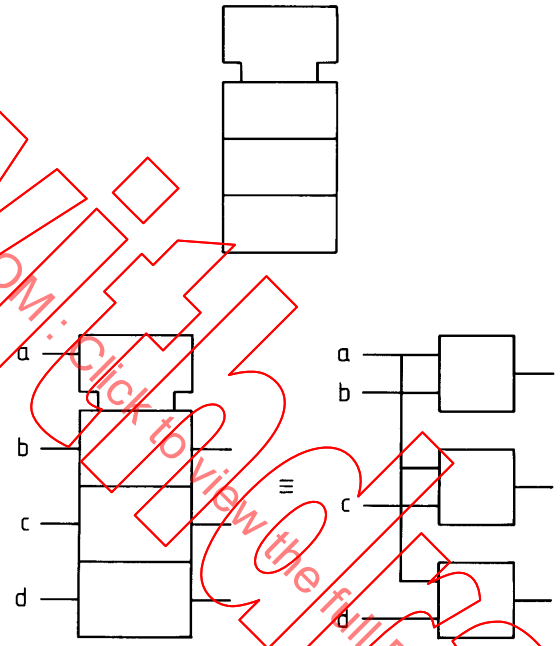
6.2.1 If an input shown at a common control block is an affecting input in the sense of dependency notation (see Sections 11 and 12), it is connected as an input only to those elements of the array in which its identifying number appears. If an input shown at a common control block is not an affecting input in the sense of dependency notation, it is an input common to, or affecting, all elements of the array.

The common control block is placed on one end of an array of related elements.

Unless indicated otherwise, the element next to the common control block is assumed to be the lowest order element.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

Illustrations



6.2.2 Une sortie commune, résultant de tous les éléments d'un groupement, peut être représentée comme sortie d'un opérateur commun de sortie. Dans le cas ou un quelconque élément du groupement a plus d'une sortie, l'opérateur commun de sortie ne peut être utilisé *que* si ces sorties ont toujours un même état logique interne. Il y a une connexion interne de chaque opérateur à l'opérateur commun de sortie, et ces connexions internes ne doivent pas être représentées. En outre, l'opérateur commun de sortie peut avoir d'autres entrées qui doivent être explicitement représentées. La fonction de l'opérateur commun de sortie doit être indiquée.

L'état logique interne d'une entrée d'un opérateur commun de sortie correspondant à une sortie du groupement est le même que celui de cette sortie.

6.2.2 A common output, depending on all elements of the array, can be shown as the output of a common output element. In the case where any array element has more than one output, the common output element may be used *only* if those outputs always have identical internal logic states. There is one internal connection from each of the elements to the common output element and these shall not be shown. In addition, the common output element may have other inputs and they must be explicitly shown. The function of the common output element shall be indicated.

Each input of a common output element corresponding with an output of the array has the same internal logic state as that output.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

L'opérateur commun de sortie est représenté:

- soit à l'intérieur du symbole des communs,
- soit à l'extrémité du groupement, à l'opposé du symbole des communs.

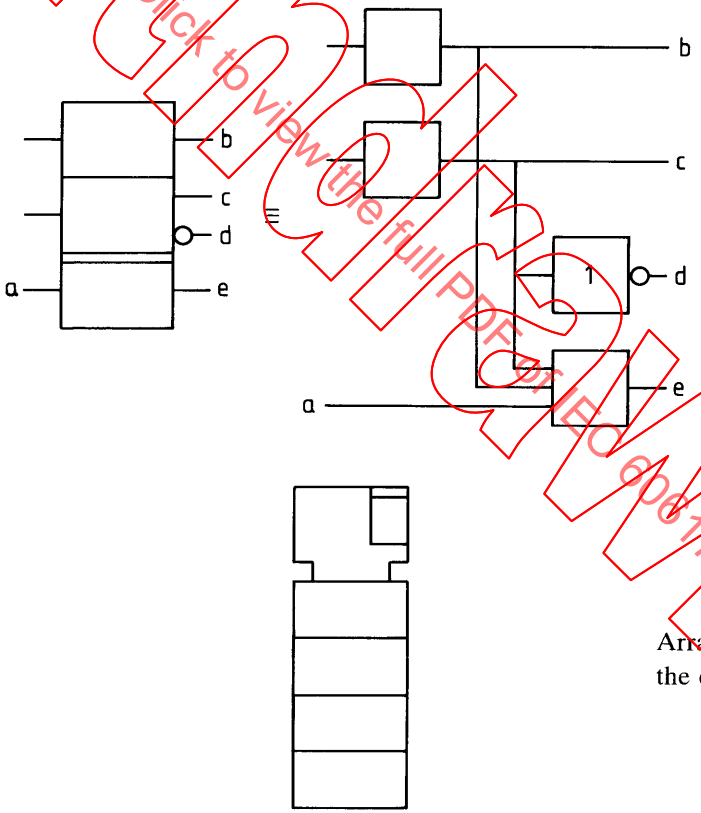
Lorsqu'il convient de représenter un groupement d'opérateurs communs de sortie il suffit de faire figurer le double trait supérieur une seule fois.

A common output element is shown:

- inside the common control block, or
- at the end of the array, opposite the common control block if there is one.

Where it is appropriate to show an array of common output elements, the double line need be shown only once.

Illustrations

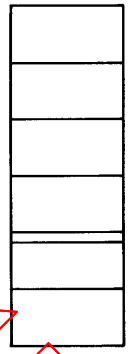


Groupement avec opérateur commun de sortie à l'intérieur du symbole des communs

Array with common output element inside the common control block

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

Groupement avec deux opérateurs communs de sortie



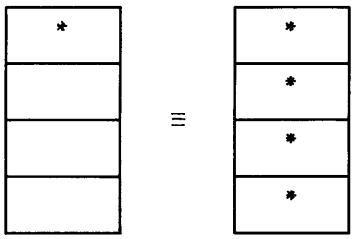
Array with two common output elements

6.3 Pour un groupement d'opérateurs ayant les mêmes symboles distinctifs, il suffit d'inscrire ce symbole une seule fois dans le premier cadre, s'il n'en resulte aucune confusion. De même, dans le cas d'un groupement d'opérateurs comprenant plusieurs sous-ensembles identiques, le premier est représenté en détail et les suivants par un cadre vide. Il est entendu que les numéros d'identification des accès influençants au sens de la notation de dépendance et des accès influencés correspondants diffèrent dans chacun des opérateurs du groupement (pour illustration du concept voir section 14). Voir aussi les simplifications procurées par l'emploi de la notation de dépendance.

6.3 To represent an array of elements having the same qualifying symbols, it may be sufficient to show the symbols that are inside the outline in only the first of the outlines, provided no confusion can arise. Similarly, in the case of an array of elements each consisting of several identical subarrays, it is sufficient to show the first one in full and to represent each of the others by a simple outline. It is assumed that the identifying numbers of affecting inputs [outputs] in the sense of dependency notation and of inputs [outputs] affected thereby differ in each element of the array (for illustration of the concept see Section 14). See also the simplifications resulting from the use of dependency notation.

Illustrations

Groupement d'opérateurs ayant le même symbole distinctif d'opérateur



Group of elements with identical general qualifying symbols

(Suite à la page suivante)

(Continued overleaf)

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

Deux groupes successifs d'opérateurs

Two successive groups of elements

Groupement de quatre paires d'opérateurs

Two interlaced groups of elements

Groupement d'opérateurs avec symboles distinctifs associés aux accès identiques et figuré sans symbole des communs

Group of elements with identical qualifying symbols associated with inputs and outputs, shown without common control block

Groupement d'opérateurs avec symboles distinctifs associés aux accès identiques et figuré avec symbole des communs

Group of elements with identical qualifying symbols associated with inputs and outputs, shown with common control block

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

CHAPITRE III: SYMBOLES DISTINCTIFS ASSOCIÉS AUX ACCÈS ET CONNEXIONS INTERNES

SECTION 7 – NÉGATION, POLARITÉ LOGIQUE ET ENTRÉE DYNAMIQUE

7.1 Chacun des symboles de la présente section fixe une relation entre état logique interne et état logique externe ou niveau logique.

En l'absence de l'un de ces symboles figurant à une entrée ou une sortie, son état interne 1 est réputé correspondre:

– dans un schéma utilisant le symbole de négation logique, à son état logique externe 1, ou

– dans un schéma utilisant le symbole de polarité logique, à son niveau logique H le plus positif.

Dans ce dernier cas de schéma, les états logiques externes n'existent pas.

Les symboles de négation logique et de polarité logique ne doivent pas être utilisés sur le même schéma, sauf dans le cas de connexions internes avec négation logique admises dans un schéma utilisant le symbole de polarité logique. Voir les symboles 12-08-02 et 12-08-04.

Voir aussi la Publication 113-7 de la CEI.

CHAPTER III: QUALIFYING SYMBOLS ASSOCIATED WITH INPUTS, OUTPUTS AND OTHER CONNECTIONS

SECTION 7 – NEGATION, LOGIC POLARITY AND DYNAMIC INPUT

7.1 Each of the symbols in this section defines the relationship between an internal logic state and an external logic state or level.

If none of the symbols of this section is shown at an input or output, it is assumed that the internal logic 1-state corresponds with:

– the external logic 1-state in a diagram using the symbol for logic negation, or

– the logic H-level in a diagram using the symbol for logic polarity.

In the latter diagram, external logic states do not exist.

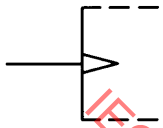
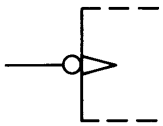
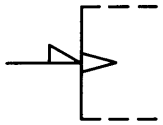
The symbols for logic negation and logic polarity shall not be used together on the same diagram, except when internal connections with logic negation are to be shown on diagrams using the symbol for logic polarity. See symbols 12-08-02 and 12-08-04.

See also IEC Publication 113-7.

IECNORM.COM : Click to view the full PDF of IEC 617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-07-01		Négation logique, figurée sur une entrée	Logic negation, shown at an input
12-07-02		Négation logique, figurée sur une sortie L'état interne 1 correspond à l'état externe 0. *Note.* – La ligne de connexion peut traverser le cercle.	Logic negation, shown at an output The internal 1-state corresponds with the external 0-state. *Note.* – The connecting line may extend through the circle.
12-07-03		Polarité logique, figurée sur une entrée Indicateur de polarité, figuré sur une entrée	Logic polarity, shown at an input Polarity indicator, shown at an input
12-07-04		Polarité logique, figurée sur une sortie Indicateur de polarité, figuré sur une sortie	Logic polarity, shown at an output Polarity indicator, shown at an output
12-07-05		Polarité logique Indicateur de polarité } figuré sur une entrée dans le cas de propagation des informations de droite à gauche	Logic polarity Polarity indicator } shown at an input in the case of signal flow from right to left
12-07-06		Polarité logique Indicateur de polarité } figuré sur une sortie dans le cas de propagation des informations de droite à gauche L'état interne 1 correspond au niveau L sur la ligne de connexion.	Logic polarity Polarity indicator } shown at an output in the case of signal flow from right to left The internal 1-state corresponds with the L-level on the connecting line.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-07-07		Entrée dynamique L'état interne 1 (fugitif) apparaît seulement pendant la transition de l'état externe 0 à l'état externe 1. Dans tous les autres cas, l'état interne est 0. Dans le cas de schéma utilisant le symbole de polarité logique, l'état (fugitif) interne 1 apparaît seulement pendant la transition du niveau L au niveau H sur la ligne de connexion. Dans tous les autres cas, l'état interne est 0.	Dynamic input The (transitory) internal 1-state corresponds with the transition from the external 0-state to the external 1-state. At all other times, the internal logic state is 0. On diagrams using the symbol for logic polarity the (transitory) internal 1-state corresponds with the transition from the L-level to the H-level on the connecting line. At all other times, the internal logic state is 0.
12-07-08		Entrée dynamique avec négation logique L'état (fugitif) interne 1 apparaît seulement pendant la transition de l'état externe 1 à l'état externe 0. Dans tous les autres cas, l'état interne est 0.	Dynamic input with logic negation The (transitory) internal 1-state corresponds with the transition from the external 1-state to the external 0-state. At all other times the internal logic state is 0.
12-07-09		Entrée dynamique avec indicateur de polarité L'état (fugitif) interne 1 apparaît seulement pendant la transition du niveau H au niveau L sur la ligne de connexion. Dans tous les autres cas, l'état interne est 0.	Dynamic input with polarity indicator The (transitory) internal 1-state corresponds with the transition from the H-level to the L-level on the connecting line. At all other times, the internal logic state is 0.

SECTION 8 – CONNEXIONS INTERNES

8.1 Les symboles de la présente section indiquent les relations entre états logiques internes des connexions internes.

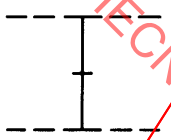
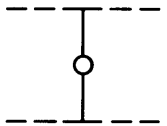
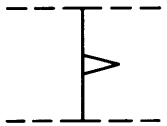
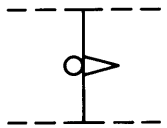
Une connexion interne est une connexion à l'intérieur d'un opérateur. Il est utile de pouvoir symboliser une telle connexion pour figurer les relations entre opérateurs regroupés. Dans beaucoup d'applications, il est bon d'utiliser les symboles de la présente section pour mettre en lumière les fonctions d'éléments complexes. Dans de tels cas, la notation de dépendance est à utiliser pour définir les effets des entrées internes ou des sorties internes.

SECTION 8 – INTERNAL CONNECTIONS

8.1 The symbols in this section define the relationships between internal logic states at internal connections.

An internal connection is a connection within a logic element. It is useful to be able to symbolize such a connection in order to show the logic relationships between elements whose outlines are combined. In many applications, it is also convenient to use the symbols in this section to show the function of complex elements. In such cases, dependency notation should be used to define the effects of any internal inputs or outputs.

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-08-01		Connexion interne L'état interne 1 [0] de l'entrée de l'opérateur de droite correspond à l'état interne 1 [0] de la sortie de l'opérateur de gauche. *Note.* – Ce symbole peut être omis s'il n'y a aucun risque de confusion (voir le aussi paragraphe 6.1.2).	Internal connection The internal 1-state [0-state] of the input of the element on the right corresponds with the internal 1-state [0-state] of the output of the element on the left. *Note.* – This symbol may be omitted if no confusion can arise (see also Sub-clause 6.1.2).
12-08-02		Connexion interne avec négation L'état interne 1 [0] de l'entrée de l'opérateur de droite correspond à l'état interne 0 [1] de la sortie de l'opérateur de gauche. *Note.* – Le trait vertical peut traverser le cercle.	Internal connection with negation The internal 1-state [0-state] of the input of the element on the right corresponds with the internal 0-state [1-state] of the output of the element on the left. *Note.* – The vertical line may extend through the circle.
12-08-03		Connexion interne à caractéristique dynamique L'état (fugitif) interne 1 de l'entrée de l'opérateur de droite apparaît seulement pendant la transition de l'état interne 0 à l'état interne 1 de la sortie de l'opérateur de gauche. Dans tous les autres cas, l'état logique interne de l'entrée de l'opérateur de droite est 0.	Internal connection with dynamic character The (transitory) internal 1-state of the input of the element on the right corresponds with the transition from the internal 0-state to the internal 1-state of the output of the element on the left. At all other times, the internal logic state of the input of the element on the right is 0.
12-08-04		Connexion interne avec négation, à caractéristique dynamique L'état (fugitif) interne 1 de l'entrée de l'opérateur de droite apparaît seulement pendant la transition de l'état interne 1 à l'état interne 0 de la sortie de l'opérateur de gauche. Dans tous les autres cas, l'état logique interne de l'entrée de l'opérateur de droite est 0.	Internal connection with negation and dynamic character The (transitory) internal 1-state of the input of the element on the right corresponds with the transition from the internal 1-state to the internal 0-state of the output of the element on the left. At all other times, the internal logic state of the input of the element on the right is 0.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-08-05		Entrée interne (entrée virtuelle) Cette entrée est réputée être à l'état interne 1, à moins que celui-ci ne soit modifié par une dépendance prépondérante ou modifiante (voir les symboles 12-42-12 et 12-49-02). *Notes 1.* – Les entrées ou sorties internes ont seulement un état logique interne. 2. – A l'exception du symbole 12-07-07, les symboles de la section 7 ne sont pas applicables aux entrées et sorties internes.	Internal input (virtual input) This input always stands at its internal 1-state unless it is affected by a dependency relationship that has an overriding or modifying effect (see symbols 12-42-12 and 12-49-02). *Notes 1.* – Internal inputs and outputs have internal logic states only. 2. – Symbols of Section 7 shall not be applied to internal inputs and outputs, except symbol 12-07-07.
12-08-06		Sortie interne (sortie virtuelle) L'action de cette sortie sur une entrée interne à laquelle elle est connectée doit être indiquée par la notation de dépendance. Les notes au symbole 12-08-05 sont applicables.	Internal output (virtual output) The effect of this output on an internal input to which it is connected must be indicated by dependency notation. The notes with symbol 12-08-05 apply.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

SECTION 9 – SYMBOLES INTÉRIEURS AUX CADRES, CONCERNANT LES ACCÈS

Règles générales

9.1 Si plusieurs entrées ont le même symbole distinctif fonctionnel, elles sont réputées être liées par une relation OU sauf le cas des entrées à seuils ou d'expansion (voir les symboles 12-09-02 et 12-09-09) pour lesquelles leur relation est à indiquer.

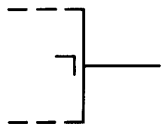
SECTION 9 – SYMBOLS INSIDE THE OUTLINE

General rules

9.1 If two or more inputs have the same qualifying symbol for the function, they are assumed to stand in an OR-relation, except in the cases of bi-threshold and extension inputs (see symbols 12-09-02 and 12-09-09) where the relationship should be appropriately indicated.

9.2 Les légendes des symboles 12-09-13 à 12-09-22 peuvent donner au lecteur l'impression erronée qu'il s'agit d'entrées dynamiques. Ce n'est pas le cas, car il est rappelé que l'état logique interne, déterminé par l'état ou le niveau logique externe, peut être éventuellement modifié par l'influence d'autres entrées (par exemple: entrées Cm). Si des entrées représentées par les symboles 12-09-13 à 12-09-22 ont un caractère dynamique, il y a lieu d'ajouter le symbole 12-07-07. Voir par exemple le symbole 12-47-01.

9.2 The descriptions of symbols 12-09-13 to 12-09-22 may give the reader the wrong impression that these are dynamic inputs. This is not the case, as it must be remembered that the internal logic state as determined by the external logic state or level may possibly be modified by the effect of other inputs (e.g. Cm-inputs). If inputs represented by symbols 12-09-13 to 12-09-22 have a dynamic character, symbol 12-07-07 should be used in addition. See for example symbol 12-47-01.

No.	Symbole Symbol	Légende	Description
12-09-01		Effet différé en sortie Sortie dont le changement d'état est différé jusqu'à ce que le signal d'entrée provoquant ce changement retourne à son état externe initial ou à son niveau logique initial. L'état logique interne de toute entrée influençant ce signal d'entrée ou influencée par celui-ci ne doit pas changer pendant que ce signal d'entrée est à l'état interne 1, sinon l'état résultant de la sortie n'est pas spécifié par le symbole. Si le signal d'entrée qui provoque le changement provient d'une connexion interne, ce changement d'état est différé jusqu'à ce que la sortie correspondante de l'opérateur précédent retourne à son état interne initial. *Notes 1.* – Quand ce symbole est utilisé seul, il est entendu qu'il concerne *toutes* les entrées de l'un des types →, ←, +, −, T et *tout* accès Cm (voir les symboles 12-18-01 et 12-18-02); en tout autre cas, on doit faire précéder ce symbole par les numéros d'identification (ou si nécessaire les marquages complets) des accès concernés. Voir le symbole 12-49-15. *2.* – L'attention est attirée sur le tracé à angle droit isocèle, qui évite toute confusion, avec le chiffre 7, par exemple. *3.* – La section 41 donne des précisions complémentaires pour l'emploi de ce symbole.	Postponed output The change of the internal state of this output is postponed until the input signal which initiates the change returns to its initial external logic state or logic level. The internal logic state of any input(s) affecting or affected by the initiating input must not change while this initiating input stands at its internal 1-state or the resulting output state will not be specified by the symbol. If the input signal which initiates the change appears at an internal connection, the change of state is postponed until the output of the preceding element returns to its initial internal logic state. *Notes 1.* – If this symbol is shown without prefix, it should be assumed that the output is postponed with respect to *each* →, ←, +, −, T-input and to *each* Cm-input or Cm-output (see symbols 12-18-01 and 12-18-02); in all other cases, the identifying numbers (or if necessary the full labels) of all inputs and outputs with respect to which the output is postponed must be shown as a prefix to this symbol. See symbol 12-49-15. *2.* – Care should be taken that this symbol is a right angle with lines of equal length, to avoid confusion with other symbols, for example the character 7. *3.* – For the application of this symbol and additional explanation, see Section 41.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

Illustrations

S'il n'y a pas d'autres entrées exerçant une action prépondérante, la transition à la sortie a lieu quand l'entrée passe

– dans un schéma utilisant le symbole de négation logique:

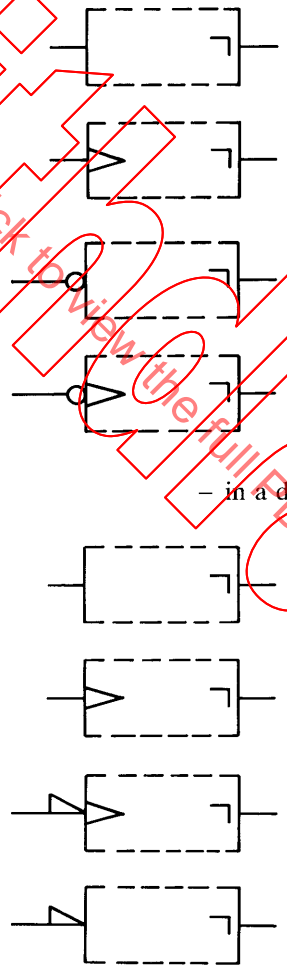
de son état externe 1 à son état externe 0

de son état externe 0 à son état externe 1

– dans un schéma utilisant le symbole de polarité logique:

de son niveau H à son niveau L

de son niveau L à son niveau H



If there are no other inputs with an overriding effect, the transition at the output takes place when the input changes

– in a diagram using the symbol for logic negation:

from its external 1-state to its external 0-state

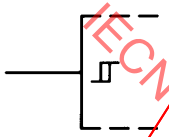
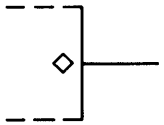
from its external 0-state to its external 1-state

– in a diagram using the symbol for logique polarity:

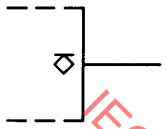
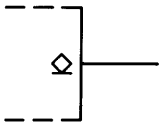
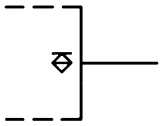
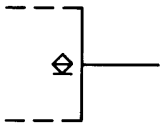
from its H-level to its L-level

from its L-level to its H-level

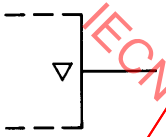
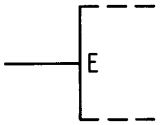
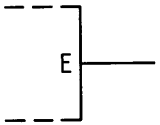
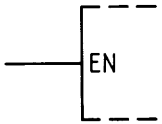
IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-09-02		Entrée à seuils Entrée à hystérésis L'entrée prend l'état interne 1 quand le niveau externe du signal atteint une valeur de seuil V1 et conserve cet état jusqu'à ce que ce niveau repasse en sens inverse par V1 et atteigne une autre valeur de seuil V2. Sauf spécification contraire, quand ce symbole figure, sans symbole de négation ou de polarité, dans un schéma utilisant soit le symbole de polarité logique, soit la convention de logique positive, V1 est plus positif que V2. S'il figure sur un schéma utilisant la convention logique négative, V1 est plus négatif que V2. Si un symbole de négation ou de polarité affecte cette entrée, les relations liant V1 et V2 sont inversées. *Note.* – Si le marquage de l'entrée nécessite d'autres symboles, symbole 12-09-02 doit jouxter le tracé de l'entrée.	Bi-threshold input Input with hysteresis The input takes on its internal 1-state when the external signal level reaches a threshold value V1. It maintains this state until the external signal level has returned through V1 and reaches another threshold value V2. If this symbol (without the negation symbol or polarity symbol) appears on a diagram that uses either the symbol for logic polarity or the positive-logic convention, V1 is more positive than V2. If it appears on a diagram that uses the negative-logic convention, V1 is more negative than V2. If the negation or polarity symbol is present at the input, then the relationship between V1 and V2 is reversed. *Note.* – If the label at the input line includes other symbols, symbol 12-09-02 shall be drawn adjacent to the input line.
12-09-03		Sortie à circuit ouvert (par exemple collecteur ouvert, émetteur ouvert) L'un des deux états logiques internes possibles de ce type de sortie correspond à une condition externe de haute impédance. Pour produire un niveau logique correct en cette condition, cette sortie doit être connectée à un composant extérieur, souvent une résistance. Ce type de sortie est généralement capable de participer à une fonction fantôme. *Notes 1.* – Ce symbole doit jouxter le tracé de la sortie sauf lorsqu'il est fait usage du symbole de groupement numérique (symbole 12-09-25) de la manière définie à la section 25, qui autorise une autre position. *2.* – Bien que ce symbole figure à l'intérieur du cadre, il se rapporte seulement aux états logiques externes et aux niveaux logiques. *3.* – S'il est nécessaire d'indiquer le niveau logique qui correspond à la basse impédance, l'un des symboles 12-09-04 ou 12-09-05 peut être utilisé.	Open-circuit output (e.g. open-collector, open-emitter, open-drain, open-source) One of the two possible internal logic states of this type of output corresponds with an external high-impedance condition. In order to produce a proper logic level in this condition, an externally connected component or circuit, often a resistor, is required. This type of output is usually capable of forming part of a distributed connection. *Notes 1.* – This symbol shall be drawn adjacent to the output line, except when using the bit-grouping symbol (symbol 12-09-25) in the manner defined in Section 25, where an alternative position is permitted. *2.* – Although this symbol is shown inside the outline, it refers to external states and levels only. *3.* – If it is necessary to indicate which logic level is the one with the low impedance, use can be made of symbol 12-09-04 or 12-09-05.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-09-04		Sortie à circuit ouvert du type H, par exemple: PNP à collecteur ouvert, NPN à émetteur ouvert, canal de type P de «drain ouvert», canal de type N de «source ouverte» Lorsqu'elle n'est pas en condition de haute impédance, une sortie de ce type fournit un niveau H à relativement basse impédance. Voir aussi le symbole 12-27-13. Les notes 1 et 2 du symbole 12-09-03 sont applicables. *Note.* – La signification de ce symbole n'est pas modifiée par la présence d'un symbole de négation logique ou de polarité logique.	Open-circuit output (H-type), for example PNP open-collector, NPN open-emitter, P-channel "open-drain", N-channel "open-source" When not in its external high-impedance condition, this type of output produces a relatively low-impedance H-level. See also symbol 12-27-13. Notes 1 and 2 with symbol 12-09-03 apply. *Note.* – The meaning of this symbol is not altered by the presence of a negation or polarity indicator.
12-09-05		Sortie à circuit ouvert du type L, par exemple: NPN à collecteur ouvert, PNP à émetteur ouvert, canal de type N de «drain ouvert», canal de type P de «source ouverte» Lorsqu'elle n'est pas en condition de haute impédance, une sortie de ce type fournit un niveau L à relativement basse impédance. Voir aussi le symbole 12-27-13. Les notes 1 et 2 du symbole 12-09-03 et la note du symbole 12-09-04 sont applicables.	Open-circuit output (L-type), for example NPN open-collector, PNP open-emitter, N-channel "open-drain", P-channel "open-source" When not in its external high-impedance condition, this type of output produces a relatively low-impedance L-level. See also symbol 12-27-13. Notes 1 and 2 with symbol 12-09-03 and the note with symbol 12-09-04 apply.
12-09-06		Sortie à circuit ouvert directe du type H Cette sortie est analogue à la sortie à circuit ouvert du type H (symbole 12-09-04) et peut, comme celle-ci, participer à une fonction fantôme, mais ne nécessite pas l'insertion d'un composant dans le circuit externe. Voir aussi le symbole 12-27-13. La note 1 du symbole 12-09-03 et la note du symbole 12-09-04 sont applicables.	Passive-pull-down output This type of output is similar to the H-type open-circuit output (symbol 12-09-04) and can likewise be used as part of a distributed connection but without the need for an additional external component or circuit. See also symbol 12-27-13. Note 1 with symbol 12-09-03 and the note with symbol 12-09-04 apply.
12-09-07		Sortie à circuit ouvert directe du type L Cette sortie est analogue à la sortie à circuit ouvert du type L (symbole 12-09-05) et peut comme celle-ci participer à une fonction fantôme, mais ne nécessite pas l'insertion d'un composant dans le circuit externe. Voir aussi le symbole 12-27-13. La note 1 du symbole 12-09-03 et la note du symbole 12-09-04 sont applicables.	Passive-pull-up output This type of output is similar to the L-type open-circuit output (symbol 12-09-05) and can likewise be used as part of a distributed connection but without the need for an additional external component or circuit. See also symbol 12-27-13. Note 1 with symbol 12-09-03 and the note with symbol 12-09-04 apply.

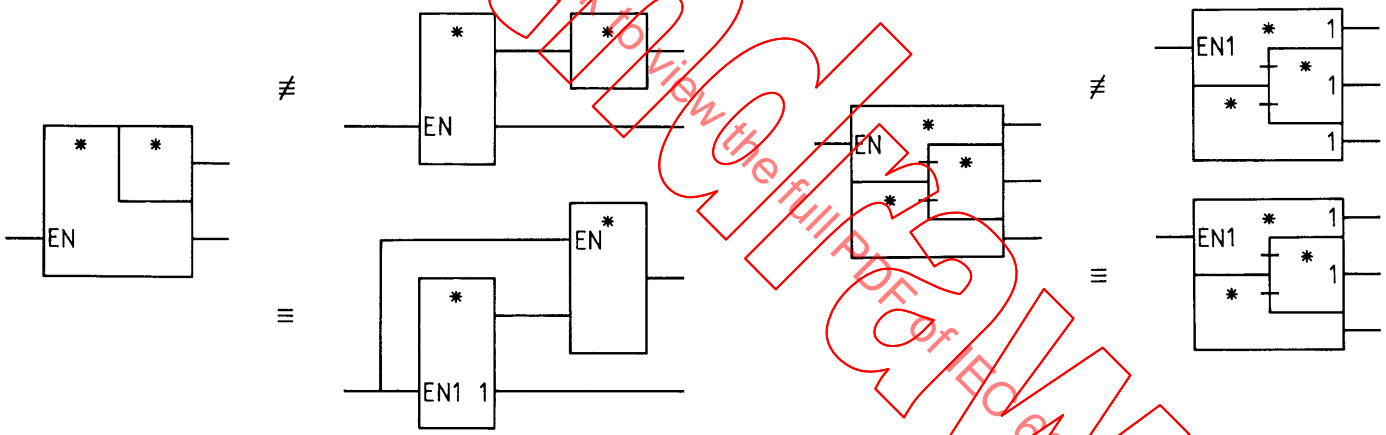
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-09-08		Sortie 3 états Cette sortie peut prendre un troisième état externe, à haute impédance, n'ayant plus de signification logique. Comme exemple d'application, voir le symbole 12-29-04. La note 1 du symbole 12-09-03 est applicable.	3-state output This output can take on a third external state, which is a high-impedance condition, having no logic significance. For an example of use, see symbol 12-29-04. Note 1 with symbol 12-09-03 applies.
12-09-09		Entrée d'expansion Entrée d'un opérateur à laquelle doit être connectée la sortie d'un circuit expanseur (voir le symbole 12-09-10). *Note.* – Les caractéristiques des relations entre les états logiques externes d'une grandeur et les grandeurs physiques correspondantes ne sont généralement pas valables pour les entrées d'expansion ou sorties d'expanseur.	Extension input An input of a binary element to which the output of an extender element may be connected (see symbol 12-09-10). *Note.* – The description which characterizes the relationship between the external logic states of binary variables and their corresponding physical quantities is normally not valid for extension inputs and extender outputs.
12-09-10		Sortie d'un expanseur Sortie d'un opérateur qui est connectée à l'entrée d'expansion d'un autre opérateur afin d'augmenter le nombre d'entrées de cet opérateur. La note du symbole 12-09-09 est applicable.	Extender output An output of a binary element which may be connected to the extension input of another binary element in order to extend the number of inputs of that element. The note with symbol 12-09-09 applies.
12-09-11		Entrée de validation Quand cette entrée est à l'état interne 1, toutes les sorties de l'opérateur ont l'état logique interne normalement défini par la fonction de l'opérateur, et exercent l'action conséquente sur les opérateurs réels ou fantômes auxquels elles sont connectées pourvu qu'aucun autre accès n'exerce une action prépondérante. Quand cette entrée est à l'état interne 0, toutes les sorties des types 12-09-03, 12-09-04 ou 12-09-05 sont à l'état externe «haute impédance», toutes les sorties à circuit ouvert directes du type H sont à leur niveau L «haute impédance», toutes les sorties à circuit ouvert directes du type L sont à leur niveau H «haute impédance», toutes les sorties 3 états sont à leur état interne normalement défini et à l'état externe «haute impédance» et toutes les autres sorties sont à l'état interne 0.	Enable input If this input stands at its internal 1-state, all outputs stand at their normally defined internal logic states and have their normally defined effect on elements or distributed connections that may be connected to the outputs, provided no other inputs or outputs have an overriding and contradicting effect. If the input stands at its internal 0-state, all outputs of the type 12-09-03, 12-09-04 or 12-09-05 are in their external high-impedance conditions, all passive-pull-down outputs stand at their high-impedance L-levels, all passive-pull-up outputs stand at their high-impedance H-levels, all 3-state outputs stand at their normally defined internal logic states and are in their external high-impedance conditions, and all other outputs stand at their internal 0-states.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

		Note. – Cette entrée n'influence que les sorties externes. Toutefois, lorsqu'elle concerne un opérateur utilisant l'une des connexions internes des symboles 12-08-01 à 12-08-04, même si la note du symbole 12-08-01 est appliquée, cette entrée est aussi une entrée de validation EN pour la sortie de cet opérateur. Dans le cas où une ambiguïté est possible, il y a lieu d'utiliser la dépendance EN définie à la section 20.	*Note.* – This input only affects outputs shown as external outputs. If it is an input of an element having an internal connection indicated by one of the symbols 12-08-01 to 12-08-04, even when the note to symbol 12-08-01 is applied, the input is also an EN-input of the element to which the internal connection is connected. If ambiguity can arise, for example in the case of embedded outlines, EN-dependency as defined in Section 20 should be used.

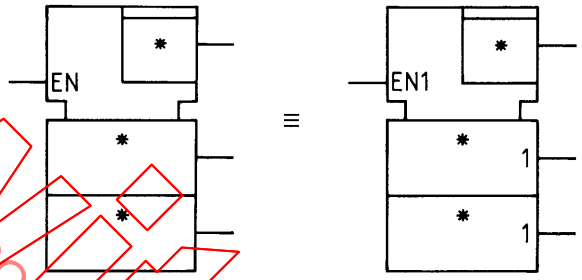
Illustrations

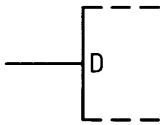
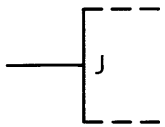
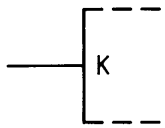


IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

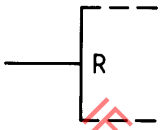
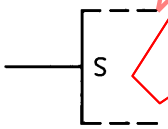
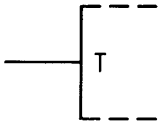
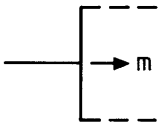
(Suite à la page suivante)

(Continued overleaf)

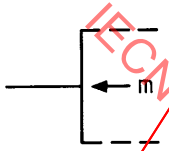
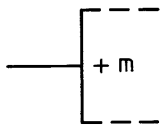
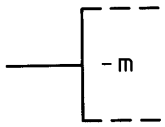
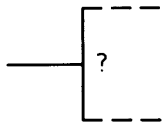


No.	Symbole Symbol	Légende	Description
12-09-12		Entrée D L'état logique interne de cette entrée est mémorisé par l'opérateur. Voir le symbole 12-42-02. *Note.* – L'état logique interne de cette entrée est toujours dépendant d'un accès influençant.	D-input The internal logic state of the D-input is stored by the element. See symbol 12-42-02. *Note.* – The internal logic state of this input is always subject to an affecting input or output.
12-09-13		Entrée J Quand cette entrée prend l'état interne 1, un 1 est mémorisé par l'opérateur. Quand elle est à l'état 0, elle n'a aucun effet sur l'opérateur.	J-input When this input takes on its internal 1-state, a 1 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element.
12-09-14		Entrée K Quand cette entrée prend l'état interne 1, un 0 est mémorisé par l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'apparition de la combinaison J = K = 1 provoque un unique changement de l'état interne de la sortie de l'opérateur à son état complémentaire. L'article 9.2 est applicable.	K-input When this input takes on its internal 1-state, a 0 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element. Each occurrence of the combination J = K = 1 causes a single change of the internal state of the output to its complement. Clause 9.2 applies.

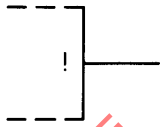
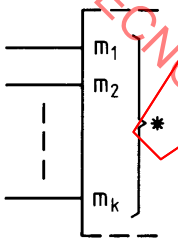
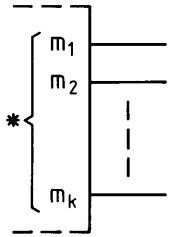
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-09-15		Entrée R Quand cette entrée prend l'état interne 1, un 0 est mémorisé par l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur.	R-input When this input takes on its internal 1-state, a 0 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element.
12-09-16		Entrée S Quand cette entrée prend l'état interne 1, un 1 est mémorisé par l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'effet de la combinaison R = S = 1 peut être précisé par l'emploi de la dépendance R ou S (voir la section 19). L'article 9.2 est applicable.	S-input When this input takes on its internal 1-state, a 1 is stored by the element. When the input stands at its internal 0-state, it has no effect on the element. The effect of the combination R = S = 1 is not specified by the symbol; this effect may be indicated by means of SET-/RESET-dependency (see Section 19). Clause 9.2 applies.
12-09-17		Entrée T Chaque fois que cette entrée prend l'état interne 1, il se produit un unique changement de l'état interne de la sortie à son état complémentaire. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'article 9.2 est applicable.	T-input Each time this input takes on its internal 1-state, a single change of the internal state of the output to its complement takes place. When the input stands at its internal 0-state, it has no effect on the element. Clause 9.2 applies.
12-09-18		Entrée de décalage de gauche à droite ou du haut en bas Chaque fois que cette entrée prend l'état interne 1, les informations contenues dans l'opérateur subissent un décalage de m positions de la gauche vers la droite ou du haut vers le bas, selon l'orientation du symbole de l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'article 9.2 est applicable. *Note.* – m est à remplacer par sa valeur effective. Si m = 1 cette indication peut être omise.	Shifting input, left to right or top to bottom Each time this input takes on its internal 1-state, the information contained in the element will be shifted once m positions from left to right or from top to bottom, depending on the orientation of the symbol for the element. When the input stands at its internal 0-state, it has no effect on the element. Clause 9.2 applies. *Note.* – m shall be replaced by the relevant value. If m = 1, the 1 may be omitted.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-09-19		Entrée de décalage de droite à gauche ou du bas en haut Chaque fois que cette entrée prend l'état interne 1, les informations contenues dans l'opérateur subissent un décalage de m positions de la droite vers la gauche ou du bas vers le haut, selon l'orientation du symbole de l'opérateur. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'article 9.2 est applicable. La note du symbole 12-09-18 est applicable.	Shifting input, right to left or bottom to top Each time this input takes on its internal 1-state, the information contained in the element will be shifted once m positions from right to left or from bottom to top, depending on the orientation of the symbol for the element. When the input stands at its internal 0-state, it has no effect on the element. Clause 9.2 applies. The note with symbol 12-09-18 applies.
12-09-20		Entrée de comptage Chaque fois que cette entrée prend l'état interne 1, le contenu du compteur croît de m unités. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'article 9.2 est applicable. La note du symbole 12-09-18 est applicable.	Counting-up input Each time this input takes on its internal 1-state, the count of the element is increased once by m units. When the input stands at its internal 0-state, it has no effect on the element. Clause 9.2 applies. The note with symbol 12-09-18 applies.
12-09-21		Entrée de décomptage Chaque fois que cette entrée prend l'état interne 1, le contenu du compteur décroît de m unités. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'article 9.2 est applicable. La note du symbole 12-09-18 est applicable.	Counting-down input Each time this input takes on its internal 1-state, the count of the element is decreased once by m units. When the input stands at its internal 0-state, it has no effect on the element. Clause 9.2 applies. The note with symbol 12-09-18 applies.
12-09-22		Entrée d'interrogation d'une mémoire associative Quand cette entrée prend l'état interne 1, l'opérateur est interrogé. Quand elle est à l'état interne 0, elle n'a aucun effet sur l'opérateur. L'article 9.2 est applicable.	Query input of an associative memory Interrogate input of an associative memory If this input takes on its internal 1-state, an interrogation of the content of the element takes place. If the input stands at its internal 0-state, it has no effect on the element. Clause 9.2 applies.

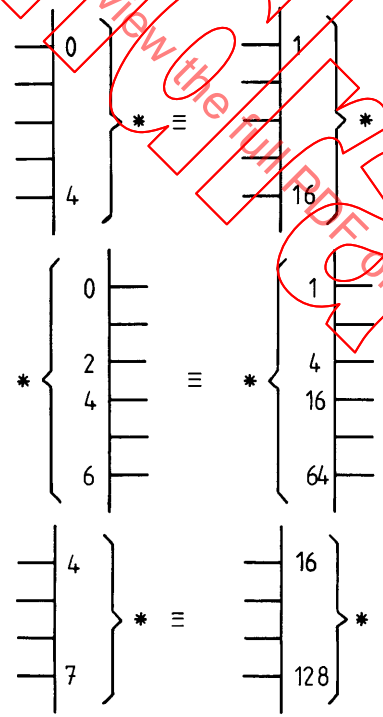
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-09-23		Sortie de comparaison d'une mémoire associative L'état interne 1 de cette sortie indique une exactitude de comparaison.	Compare output of an associative memory Match output of an associative memory The internal 1-state at this output indicates a match.
12-09-24		Groupement numérique d'entrée à plusieurs bits, symbole général Les entrées groupées par ce symbole déterminent un nombre qui est la somme des poids individuels des entrées qui sont à l'état interne 1. Les entrées individuelles sont représentées dans l'ordre des poids croissants ou décroissants. Ce nombre représente: – soit un nombre sur lequel une opération mathématique est effectuée, – soit un numéro d'identification dans le sens de la notation de dépendance (voir l'article 24.2), – soit une valeur destinée à devenir le contenu de l'opérateur. $m_1 \ldots m_k$ sont remplacés par les valeurs décimales équivalentes aux poids réels. Si ces poids sont des puissances de 2, $m_1 \ldots m_k$ peuvent être remplacés par les exposants de 2. Les valeurs entre m_1 et m_k peuvent être omises pour autant qu'aucune confusion n'en résulte. L'astérisque est remplacé par une identification appropriée de l'opérande sur lequel l'opération mathématique est effectuée (par exemple P ou Q), par une indication appropriée au sens de la notation de dépendance ou par CT. Dans ce dernier cas, le nombre déterminé par les entrées est la valeur du contenu qui est imposé à l'opérateur.	Bit grouping for multibit input, general symbol Inputs grouped by this symbol produce a number that is the sum of the individual weights of the inputs standing at their internal 1-states. The individual inputs shall be shown in ascending or descending order by weight. This number can be regarded: – as a number on which a mathematical function is performed, or – as defining an identifying number in the sense of dependency notation (according to Clause 24.2), or – as a value to become the content of the element. $m_1 \ldots m_k$ shall be replaced by the decimal equivalents of the actual weights. If all weights are powers of 2, $m_1 \ldots m_k$ may be replaced by the exponents of the powers of 2. Labels between m_1 and m_k may be omitted to the extent that no confusion can arise. The asterisk must be replaced by an appropriate indication of the operand on which the mathematical function is performed (e.g. P or Q), by an appropriate indication in the sense of dependency notation or by CT. In the latter case, the number produced by the inputs is the value that is loaded into the element.
12-09-25		Groupement numérique de sortie à plusieurs bits, symbole général Les sorties groupées par ce symbole représentent un nombre qui est la somme des poids individuels des sorties qui sont à l'état interne 1. Les sorties individuelles sont représentées dans l'ordre des poids croissants ou décroissants. Ce nombre représente: – soit le résultat d'une opération mathématique effectuée, – soit la valeur du contenu de l'opérateur. *(Suite à la page suivante)*	Bit grouping for multibit output, general symbol Outputs grouped by this symbol represent a number that is the sum of the individual weights of the outputs standing at their internal 1-states. The individual outputs shall be shown in ascending or descending order by weight. This number can be regarded: – as the result of the performance of a mathematical function, or – as the value of the content of the element. *(Continued overleaf)*

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende *(suite)*	Description *(continued)*
		$m_1 \ldots m_k$ sont remplacés par les valeurs décimales équivalentes aux poids réels. Si ces poids sont des puissances de 2, $m_1 \ldots m_k$ peuvent être remplacés par les exposants de 2. Les valeurs entre m_1 et m_k peuvent être omises pour autant qu'aucune confusion n'en résulte. L'astérisque est remplacé par une indication appropriée du résultat de l'opération mathématique effectuée ou par CT. Dans ce dernier cas, le nombre représenté par les sorties qui sont à l'état interne 1 est la valeur du contenu de l'opérateur.	$m_1 \ldots m_k$ shall be replaced by the decimal equivalents of the actual weights. If all weights are powers of 2, $m_1 \ldots m_k$ may be replaced by the exponents of the powers of 2. Labels between m_1 and m_k may be omitted to the extent that no confusion can arise. The asterisk must be replaced by an appropriate indication of the result of the performance of the mathematical function or by CT. In the latter case, the number represented by the outputs standing at their internal 1-states is the actual value of the content of the element.

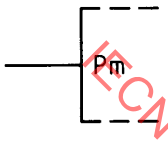
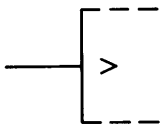
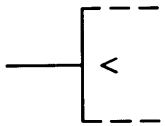
Illustrations



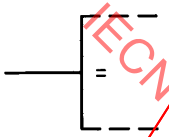
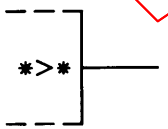
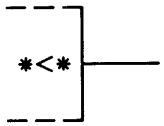
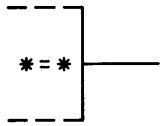
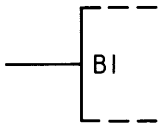
Voir aussi les exemples de la section 39.

See also examples in Section 39.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-09-26		Entrée opérande (entrée Pm figurée) Cette entrée représente un bit d'un opérande sur lequel une ou plusieurs opérations mathématiques sont effectuées. *Notes 1.* – m est remplacé par la valeur décimale équivalente au poids de ce bit. Si les poids de toutes les entrées Pm de l'opérateur sont des puissances de 2, m peut être remplacé à chaque entrée Pm par l'exposant de la puissance de 2. *2.* – Si un opérande est constitué de deux ou plusieurs bits représentés sur des entrées, situées côte à côte, le symbole de groupement numérique (12-09-24) peut être utilisé. *3.* – Les symboles préférés pour les opérandes sont les lettres P et Q. Quand ces lettres ne conviennent pas ou si plus de deux opérandes sont impliqués, d'autres caractères peuvent être utilisés pourvu qu'il n'en résulte aucune confusion.	Operand input (Pm-input shown) This input represents one bit of an operand on which one or more mathematical functions are performed. *Notes 1.* – m shall be replaced by the decimal equivalent of the weight of the bit. If the weights of all Pm-inputs of the element are powers of 2, at each Pm-input m may be replaced by the exponent of the power of 2. *2.* – If an operand consists of two or more bits represented by adjacent input lines, the bit grouping symbol (12-09-24) may be used. *3.* – Preferred letters for operands are P and Q. If these letters are not suitable or if more than two operands are involved, other characters may be used providing no confusion can arise.
12-09-27		Entrée «PLUS GRAND QUE» d'un comparateur numérique *Notes 1.* – Ce symbole est destiné au montage en cascade de comparateurs. Comme exemple d'application, voir le symbole 12-39-08. *2.* – Les symboles 12-09-27, 12-09-28 et 12-09-29 peuvent être combinés pour symboliser d'autres entrées, par exemple: ≥, ≤, ≷. *3.* – Ce symbole doit être détaché du cadre pour éviter la confusion avec le symbole de l'entrée dynamique (12-07-07).	Greater-than input of a magnitude comparator *Notes 1.* – This symbol is intended for use when representing cascaded comparators. For an example of use, see symbol 12-39-08. *2.* – Symbols 12-09-27, 12-09-28 and 12-09-29 may be combined to qualify inputs as follows: ≥, ≤, ≷. *3.* – This symbol should not be drawn adjacent to the outline, to avoid confusion with the dynamic input indicator symbol (12-07-07).
12-09-28		Entrée «PLUS PETIT QUE» d'un comparateur numérique Les notes 1 et 2 du symbole 12-09-27 sont applicables.	Less-than input of a magnitude comparator Notes 1 and 2 with symbol 12-09-27 apply.

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-09-29		Entrée d'«ÉGALITÉ» d'un comparateur numérique Les notes 1 et 2 du symbole 12-09-27 sont applicables.	Equal input of a magnitude comparator Notes 1 and 2 with symbol 12-09-27 apply.
12-09-30		Sortie «PLUS GRAND QUE» d'un comparateur numérique *Notes 1.* – Les astérisques doivent être remplacés par des désignations des opérandes, par exemple P et Q, respectivement. 2. – Les symboles 12-09-30, 12-09-31 et 12-09-32 peuvent être combinés pour symboliser d'autres sorties, par exemple: *≥*, *≤*, ≷. 3. – Dans une chaîne de comparateurs, toute sortie marquée de ce symbole est affectée non seulement par les opérandes mais également par les entrées du même opérateur marquées de l'un des symboles 12-09-27, 12-09-28 ou 12-09-29.	Greater-than output of a magnitude comparator *Notes 1.* – The asterisks shall be replaced by designations of the operands, for example P and Q, respectively. 2. – Symbols 12-09-30, 12-09-31 and 12-09-32 may be combined to qualify outputs as follows: *≥*, *≤*, ≷. 3. – If this symbol appears in one element of a series of cascaded comparators, the output marked with this symbol is affected not only by the operands, but also by the inputs marked with the symbols 12-09-27, 12-09-28 or 12-09-29.
12-09-31		Sortie «PLUS PETIT QUE» d'un comparateur numérique Les notes du symbole 12-09-30 sont applicables.	Less-than output of a magnitude comparator The notes with symbol 12-09-30 apply.
12-09-32		Sortie d'«ÉGALITÉ» d'un comparateur numérique Les notes du symbole 12-09-30 sont applicables. *Note.* – Si ce symbole n'est pas combiné avec l'un des symboles 12-09-30 ou 12-09-31, les désignations des opérandes peuvent être omises, pourvu qu'il n'en résulte aucune confusion.	Equal output of a magnitude comparator The notes with symbol 12-09-30 apply. *Note.* – If this symbol is not combined with symbol 12-09-30 or symbol 12-09-31, the designations of the operands may be omitted providing no confusion can arise.
12-09-33		Entrée recevant la retenue d'une opération arithmétique de soustraction *Note.* – L'exposant de la puissance de 2 exprimant le poids du bit intéressé peut être ajouté en suffixe au symbole.	Borrow-in input of an arithmetic element *Note.* – A number may be added as a suffix to this label; this number is the exponent of the power of 2 which is the weight of the bit involved.

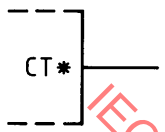
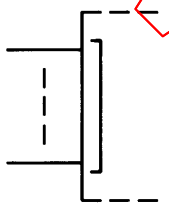
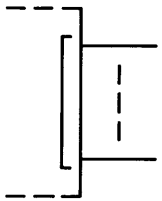
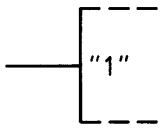
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-09-34	BG	Entrée recevant la retenue engendrée d'une opération arithmétique de soustraction La note du symbole 12-09-33 est applicable.	Borrow-generate input of an arithmetic element The note with symbol 12-09-33 applies.
12-09-35	BG	Sortie fournissant la retenue engendrée d'une opération arithmétique de soustraction La note du symbole 12-09-33 est applicable.	Borrow-generate output of an arithmetic element The note with symbol 12-09-33 applies.
12-09-36	BO	Sortie fournissant la retenue d'une opération arithmétique de soustraction La note du symbole 12-09-33 est applicable.	Borrow-out output of an arithmetic element Ripple-borrow output of an arithmetic element The note with symbol 12-09-33 applies.
12-09-37	BP	Entrée recevant la retenue propagée d'une opération arithmétique de soustraction La note du symbole 12-09-33 est applicable.	Borrow-propagate input of an arithmetic element The note with symbol 12-09-33 applies.
12-09-38	BP	Sortie fournissant la retenue propagée d'une opération arithmétique de soustraction La note du symbole 12-09-33 est applicable.	Borrow-propagate output of an arithmetic element The note with symbol 12-09-33 applies.
12-09-39	CI	Entrée recevant la retenue d'une opération arithmétique d'addition La note du symbole 12-09-33 est applicable.	Carry-in input of an arithmetic element The note with symbol 12-09-33 applies.

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-09-40	CG	Entrée recevant la retenue engendrée d'une opération arithmétique d'addition La note du symbole 12-09-33 est applicable.	Carry-generate input of an arithmetic element The note with symbol 12-09-33 applies.
12-09-41	CG	Sortie fournissant la retenue engendrée d'une opération arithmétique d'addition La note du symbole 12-09-33 est applicable.	Carry-generate output of an arithmetic element The note with symbol 12-09-33 applies.
12-09-42	CO	Sortie fournissant la retenue d'une opération arithmétique d'addition La note du symbole 12-09-33 est applicable.	Carry-out output of an arithmetic element Ripple-carry output of an arithmetic element The note with symbol 12-09-33 applies.
12-09-43	CP	Entrée recevant la retenue propagée d'une opération arithmétique d'addition La note du symbole 12-09-33 est applicable.	Carry-propagate input of an arithmetic element The note with symbol 12-09-33 applies.
12-09-44	CP	Sortie fournissant la retenue propagée d'une opération arithmétique d'addition La note du symbole 12-09-33 est applicable.	Carry-propagate output of an arithmetic element The note with symbol 12-09-33 applies.
12-09-45	CT=m	Entrée imposant un contenu m est remplacé par une indication appropriée du contenu imposé à l'opérateur tel qu'un compteur chaque fois que cette entrée est portée à l'état interne 1. Quand cette entrée est à l'état interne 0, elle n'a aucun effet sur l'opérateur. Comme exemple d'application, voir le symbole 12-49-16.	Content input m shall be replaced by an appropriate indication of the content of the element (e.g. a counter) that results whenever this input takes on its internal 1-state. If this input stands at its internal 0-state, it has no effect on the element. For an example of use, see symbol 12-49-16.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-09-46		Sortie indiquant le CONTENU L'astérisque doit être remplacé par une indication appropriée des valeurs du contenu de l'opérateur tel qu'un compteur pour lesquelles la sortie est à l'état interne 1. Comme exemple d'application, voir le symbole 12-49-12.	Content output The asterisk shall be replaced by an appropriate indication of those values of the content of the element (e.g. a counter) for which the output stands at its internal 1-state. For an example of use, see symbol 12-49-12.
12-09-47		Groupement de liaison d'entrée Symbole indiquant que plusieurs bornes sont nécessaires pour transmettre une même information logique. Comme exemple d'application, voir le symbole 12-28-06. *Notes 1.* – Les niveaux logiques sur les connexions groupées sous ce symbole peuvent différer de ceux des autres connexions d'accès. *2.* – Comme exemple d'application de la note 1, voir le symbole 12-29-07.	Line grouping at the input side This symbol indicates that two or more connections are needed to implement a single logic input. For an example of use, see symbol 12-28-06. *Notes 1.* – The logic levels on connections grouped by this symbol may differ from those on the other input and output pins. *2.* – For an example of use of Note 1, see symbol 12-29-07.
12-09-48		Groupement de liaison de sortie Symbole indiquant que plusieurs bornes sont nécessaires pour transmettre une même information logique. Comme exemple d'application, voir le symbole 12-28-07. La note 1 du symbole 12-09-47 est applicable.	Line grouping at the output side This symbol indicates that two or more connections are needed to implement a single logic output. For an example of use, see symbol 12-28-07. Note 1 with symbol 12-09-47 applies.
12-09-49		Entrée de mode fixe Si un opérateur peut accomplir plusieurs fonctions, dont un nombre restreint présente un intérêt, cette symbolisation peut être utilisée pour identifier une entrée qui doit être maintenue à l'état interne 1 pour que l'opérateur accomplisse la fonction indiquée. L'entrée de mode fixe ne peut avoir d'autres fonctions et la notation de dépendance ne lui est pas applicable. Comme exemples d'application, voir les symboles 12-49-07 et 12-49-08.	Fixed-mode input If an element can perform several functions but only a restricted number of functions is of interest, this representation can be used to identify an input that must be in the internal 1-state for the element to perform the functions of interest indicated by the symbol. A fixed-mode input must not be affected by dependency notation nor have other functions. For examples of use, see symbols 12-49-07 and 12-49-08.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-09-50	"1"	Sortie d'état fixe Cette symbolisation peut être utilisée pour représenter une sortie qui reste en permanence à l'état interne 1. La sortie d'état fixe ne peut avoir d'autres fonctions et la notation de dépendance ne lui est pas applicable. Comme exemple d'application, voir le symbole 12-33-10.	Fixed-state output This representation may be used to identify an output that always stands at its internal 1-state. A fixed-state output must not be affected by dependency notation nor have other functions. For an example of use, see symbol 12-33-10.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

SECTION 10 – ACCÈS NON CONCERNÉS PAR UNE INFORMATION LOGIQUE BINAIRE, SENS DE PROPAGATION DE L'INFORMATION

10.1 L'un des symboles 13-02-01 ou 13-02-02 de la Publication 617-13 de la CEI peut être utilisé pour indiquer un accès intéressé par un signal analogique ou par un signal numérique.

10.2 Pour des entrées d'alimentation ayant des caractéristiques particulières, le symbole 13-03-11 de la Publication 617-13 de la CEI peut être utilisé.

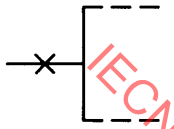
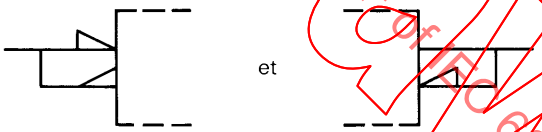
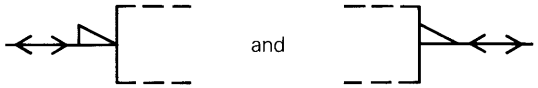
10.3 En principe, le sens de propagation de l'information est de la gauche vers la droite et du haut vers le bas. Si cette règle ne peut pas être appliquée ou si le sens de propagation n'est pas évident, celui-ci peut être indiqué par des flèches orientant les trajets de signaux, ces flèches ne doivent toucher aucun cadre ni aucun symbole distinctif. Voir, par exemple, le symbole 12-29-03.

SECTION 10 – NON-LOGIC CONNECTIONS AND SIGNAL-FLOW INDICATORS

10.1 Symbol 13-02-01 or 13-02-02 of IEC Publication 617-13 may be used to denote an input or an output carrying analogue or digital signals respectively.

10.2 For supply voltage inputs having special effects, use symbol 13-03-11 of IEC Publication 617-13.

10.3 In principle, the direction of signal flow is from left to right and from top to bottom. If this rule cannot be maintained or the direction of signal flow is not obvious, then the signal lines should be marked with arrowheads pointing in the direction of signal flow. These arrowheads shall not touch the outline or any qualifying symbol. See for example symbol 12-29-03.

No.	Symbole Symbol	Légende	Description
12-10-01		Accès, figuré côté gauche, ne recevant pas d'information logique Ce symbole peut être utilisé pour toute connexion ne transmettant pas d'information logique (par exemple raccordements à des tensions de référence). *Note.* – Une information complémentaire associée au symbole peut être inscrite, sans parenthèses, à l'intérieur du cadre. Comme exemple d'application, voir le symbole 12-47-02.	Non-logic connection, shown on the left-hand side This symbol may be used to indicate a connection which does not carry any logic information (e.g. reference voltage connection). *Note.* – Additional information associated with non-logic connections may be shown without brackets inside the outline. For an example of use, see symbol 12-47-02.
12-10-02	Utiliser symbole 02-05-03 Use symbol 02-05-03	Propagation bilatérale de l'information Comme exemple d'application, voir le symbole 12-29-08. *Notes 1.* – Sur une connexion comportant le symbole de propagation bilatérale, tout symbole de polarité logique doit pointer vers la droite ou vers le bas, par exemple: 2. – Dans certains cas, la présence du symbole de polarité logique rend inutile l'emploi du symbole de propagation bilatérale, par exemple: 	Bidirectional signal flow For an example of use, see symbol 12-29-08. *Notes 1.* – On a connecting line with bidirectional signal flow, any symbol for logic polarity should point to the right or down, e.g.:  2.– In some cases, the appearance of the symbols for logic polarity makes the use of the symbol of bidirectional signal flow unnecessary, e.g.:

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

CHAPITRE IV: NOTATION DE DÉPENDANCE

SECTION 11 – EXPOSÉ

La notation de dépendance symbolise les relations entre accès ou connexions internes, sans figurer le détail des opérateurs et interconnexions impliqués.

Réservée aux symboles d'opérateurs complexes, la notation de dépendance ne doit pas être utilisée au lieu et place des symboles d'opérateurs combinatoires.

L'information fournie par la notation de dépendance complète celle donnée par le symbole distinctif de l'opérateur.

Les conventions régissant la notation de dépendance font appel aux notions d'accès influençant et d'accès influencé. Lorsque ces rôles respectifs ne sont pas évidents (par exemple dans le cas d'une relation ET), le choix peut être fait de la façon paraissant la plus adéquate.

Dans certains opérateurs complexes, des sorties peuvent agir sur des entrées ou sur d'autres sorties. Pour plus de simplicité, les sections 12 et 13 se réfèrent seulement au terme général d'accès.

CHAPTER IV: DEPENDENCY NOTATION

SECTION 11 – GENERAL EXPLANATION

Dependency notation is a means of denoting the relationships between inputs, outputs, or inputs and outputs, without actually showing all the elements and interconnections involved.

Apart from its use in complex elements, dependency notation should not be used to replace the symbols for combinative elements.

The information provided by dependency notation supplements that provided by the qualifying symbols for an element's function.

In the convention for dependency notation, use will be made of the terms "affecting" and "affected". In the case where it is not evident which inputs must be considered as being the affecting or the affected ones (e.g. if they stand in an AND relationship), the choice may be made in any convenient way.

In some complex elements, outputs may have an effect on inputs and other outputs. For the sake of simplicity, the text of Sections 12 and 13 refers to "affecting inputs" only, but it should be understood that the recommended notation applies to affecting outputs also.

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

La notation de dépendance concerne les relations entre états logiques internes, sauf dans le cas de «sorties 3 états», «sorties à circuit ouvert directes» ou «sorties à circuit ouvert» (symboles 12-09-03 à 12-09-08) où la dépendance de VALIDATION (section 20) concerne les relations entre les états logiques internes des entrées influençantes et les états externes des sorties influencées.

La notation de dépendance est réalisée en marquant:

– l'accès influençant par un symbole littéral spécifique de la relation impliquée suivi d'un numéro d'identification;

– chacun des accès qu'il influence par le même numéro d'identification.

Des accès marqués du même numéro d'identification surmonté d'une barre sont influencés par l'état logique interne complémentaire de l'accès influençant concerné. Comme exemple d'application, voir le symbole 12-42-11.

Si un accès influencé nécessite un symbole indiquant un effet sur l'opérateur, ce symbole doit être précédé du numéro d'identification de l'accès influençant.

Si un accès est influencé par plusieurs accès influençants, les numéros d'identification de chacun d'eux doivent se suivre dans le marquage de l'accès influencé, séparés par des virgules. L'ordre de lecture de gauche à droite de ces numéros est le même que celui des priorités des relations d'influence (voir aussi la section 25).

SECTION 12 – CONVENTION

Dependency notation usually defines reationships between internal logic states. However, in the case of 3-state outputs, passive-pull-down outputs, passive-pull-up outputs, and open-circuit outputs (symbols 12-09-03 through 12-09-08), ENABLE dependency (Section 20) defines relationships between the internal logic states of affecting inputs and the external states of affected outputs.

Application of dependency notation is accomplished by:

– labelling the input affecting other inputs or outputs with a particular letter symbol denoting the relationship involved followed by an identifying number;

– labelling each input or output affected by that affecting input with that same number.

If it is the complement of the internal logic state of the affecting input [output] that does the affecting, a bar shall be placed over the identifying number at the affected input [output]. For an example of use, see symbol 12-42-11.

If the affected input or output requires a label to denote an effect it has on the element, this label shall be prefixed by the identifying number of the affecting input.

If an input or output is affected by more than one affecting input the identifying numbers of each of the affecting inputs shall appear in the label of the affected one, separated by commas. The left-to-right order of these identifying numbers is the same as the sequence of the affecting relationships (see also Section 25).

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

Deux accès influençants marqués par des lettres différentes ne doivent pas avoir le même numéro d'identification, exception faite de la lettre A pour l'un des deux (voir la section 23).

Si deux accès influençants sont marqués de la même lettre et du même numéro d'identification, leur relation mutuelle est un OU.

Si les fonctions de certains accès, tels que les sorties d'un transcodeur, doivent être définies par des nombres, les numéros d'identification à associer aux accès influençants et influencés doivent être remplacés par d'autres marquages, choisis pour éviter toutes ambiguïtés, par exemple des lettres grecques.

Un accès influençant n'a d'effet que sur les accès influencés correspondants.

SECTION 13 – TYPES DE DÉPENDANCE

13.1 Les dépendances définies sont les suivantes:

ET, OU et NÉGATION, destinées à définir des relations booléennes entre accès.

INTERCONNEXION, destinée à préciser qu'un accès impose son état logique à un ou plusieurs autres accès.

COMMANDE, destinée à identifier une entrée d'horloge ou d'une autre action cadencée d'un opérateur séquentiel et à indiquer les accès qu'elle commande.

MISE À UN et MISE À ZÉRO, destinées à spécifier les états logiques internes d'une bascule bistable RS dans laquelle les entrées R et S sont toutes deux à l'état interne 1.

Two affecting inputs labelled with different letters shall not have the same identifying number unless one of the letters is A (see Section 23).

If two affecting inputs have the same letter and the same identifying number, they stand in an OR relationship to each other.

If the labels denoting the functions of affected inputs or outputs must be numbers (e.g. outputs of a coder), the identifying numbers to be associated with both affecting inputs and affected inputs or outputs shall be replaced by another character selected to avoid ambiguity, for example Greek letters.

An affecting input affects only the corresponding affected inputs and outputs of the symbol.

SECTION 13 – TYPES OF DEPENDENCY

13.1 The following types of dependency are defined:

AND, OR and NEGATE dependencies are used to denote Boolean relationships between inputs and/or outputs.

INTERCONNECTION dependency is used to indicate that an input or output imposes its logic state on one or more other inputs and/or outputs.

CONTROL dependency is used to identify a timing input or a clock input of a sequential element and to indicate which inputs are controlled by it.

SET and RESET dependencies are used to specify the internal logic states of an RS-bistable element when the R- and S-inputs both stand at their internal 1-states.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

VALIDATION, destinée à identifier une entrée de Validation et à indiquer quels accès elle valide (par exemple quelles sorties sont mises en condition de haute impédance).

MODE, destinée à identifier une entrée qui sélectionne un certain mode d'action d'un opérateur et à indiquer les accès affectés à ce mode.

ADRESSE, destinée à identifier les entrées Adresse d'une mémoire.

Le tableau I, page 50, regroupe les différents types de dépendance et résume leurs effets. Des définitions détaillées, accompagnées d'illustrations, font l'objet des sections suivantes. Des symboles décrits au chapitre V sont utilisés dans les illustrations.

Dans le tableau I, le terme «action» exprime:

– qu'une entrée influençante exerce sur l'opérateur l'effet qui lui est normalement dévolu;
– qu'une sortie influencée prend l'état interne qui résulte de la fonction de l'opérateur.

ENABLE dependency is used to identify an Enable input and to indicate which inputs and/or outputs are controlled by it (e.g. which outputs take on their high-impedance condition).

MODE dependency is used to identify an input which selects the mode of operation of an element and to indicate the inputs and/or outputs depending on that mode.

ADDRESS dependency is used to identify the Address inputs of a memory.

Table I, page 51, lists the various dependencies and summarizes their effects. More detailed definitions appear in the following sections, together with illustrations of the concepts. In these illustrations, general symbols explained in Chapter V are used.

In Table I, the word "action" implies:

– that affecting inputs will have their normally defined effect on the function of the element;
– that affected outputs will take on the internal logic states determined by the function of the element.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

TABLEAU I

Types de dépendances

Type de dépendance	Symbole littéral	Effet sur l'accès influencé si l'accès influençant est à:		Voir section
		l'état 1	l'état 0	
ADRESSE	A	Action permise (adresse sélectionnée)	Action bloquée (adresse non sélectionnée)	23
COMMANDE	C	Action permise	Action bloquée	18
VALIDATION	EN	Action permise	– Action de la sortie influencée bloquée – Etat externe «haute impédance» imposé à une sortie à circuit ouvert ou à une sortie 3 états; état interne d'une sortie 3 états non influencée – Niveau L «haute impédance» imposé à une sortie à circuit ouvert directe de type H; niveau H «haute impédance» imposé à une sortie à circuit ouvert directe de type L – Etat 0 imposé aux autres sorties	20
ET	G	Action permise	Etat 0 imposé	14
MODE	M	Action permise (mode sélectionné)	Action bloquée (mode non sélectionné)	21
NÉGATION	N	Etat interne complémenté	Etat interne non modifié	16
MISE À ZÉRO	R	Etat interne de la sortie comme pour S = 0, R = 1	Etat interne non modifié	19
MISE À UN	S	Etat interne de la sortie comme pour S = 1, R = 0	Etat interne non modifié	19
OU	V	Etat 1 imposé	Action permise	15
INTER-CONNEXION	Z	Etat 1 imposé	Etat 0 imposé	17

Note. – Un accès influencé marqué d'un numéro d'identification surmonté d'une barre est influencé par l'état logique complémentaire de celui indiqué, dans le tableau ci-dessus, pour l'accès influençant.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

TABLE I

Types of dependency

Type of dependency	Letter(s)	Effect on affected input or output if the affecting input stands at its:		See Section
		1-state	0-state	
ADDRESS	A	Permits action (address selected)	Prevents action (address not selected)	23
CONTROL	C	Permits action	Prevents action	18
ENABLE	EN	Permits action	– Prevents action of affected inputs – Imposes external high-impedance condition on open-circuit and 3-state outputs (internal state of 3-state outputs unaffected) – Imposes high-impedance L-level on passive-pull-down outputs and high-impedance H-level on passive-pull-up outputs – Imposes 0-state on other outputs	20
AND	G	Permits action	Imposes 0-state	14
MODE	M	Permits action (mode selected)	Prevents action (mode not selected)	21
NEGATE	N	Complements state	No effect	16
RESET	R	Affected output reacts as it would do to S = 0, R = 1	No effect	19
SET	S	Affected output reacts as it would do to S = 1, R = 0	No effect	19
OR	V	Imposes 1-state	Permits action	15
INTER-CONNECTION	Z	Imposes 1-state	Imposes 0-state	17

Note. – An affected input [output] carrying an identifying number with a bar over it is affected by the logic state of the affecting input, which is the complement of that indicated in the table above.

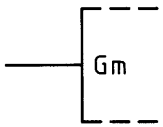
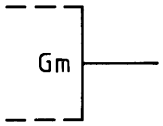
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

SECTION 14 – DÉPENDANCE ET (DÉPENDANCE G)

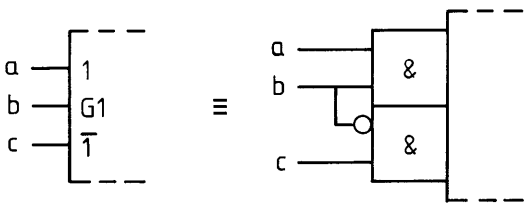
14.1 Tout accès influencé par un accès Gm est lié à celui-ci par une fonction ET.

SECTION 14 – AND DEPENDENCY (G-DEPENDENCY)

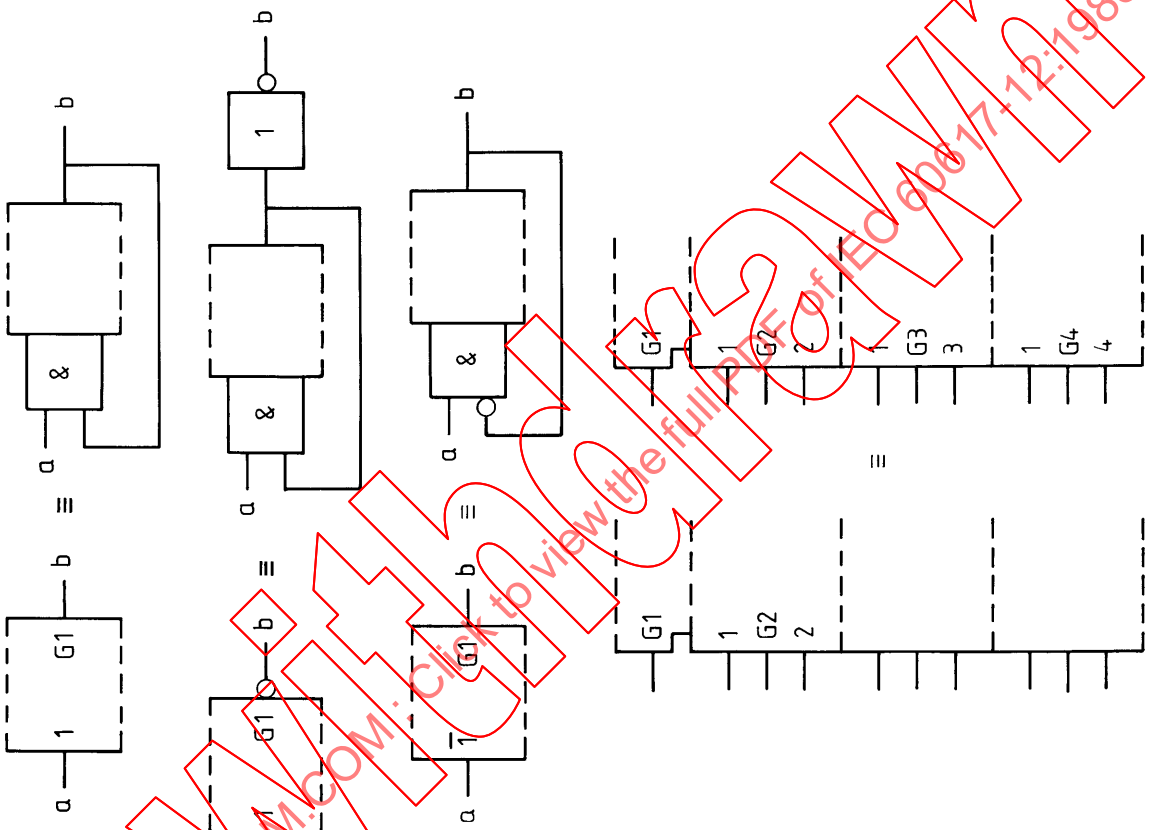
14.1 Each input or output affected by a Gm-input or Gm-output stands in an AND relationship with this Gm-input or Gm-output.

No.	Symbole Symbol	Légende	Description
12-14-01		Entrée Gm	Gm-input
12-14-02		Sortie Gm	Gm-output
		Quand un accès Gm est à l'état interne 1, tous les accès influencés par cet accès ont l'état logique interne résultant de la fonction de l'opérateur.	If a Gm-input or Gm-output stands at its internal 1-state, all inputs and outputs affected by this Gm-input or Gm-output stand at their normally defined internal logic states.
		Quand un accès Gm est à l'état interne 0, tous les accès influencés par cet accès ont l'état logique interne 0.	If a Gm-input or Gm-output stands at its internal 0-state, all inputs and outputs affected by this Gm-input or Gm-output stand at their internal 0-states.
		La note du tableau I est applicable.	The note with Table I applies.
		Note. – m est à remplacer par le numéro d'identification.	*Note.* – m must be replaced by the relevant identifying number.

Illustrations



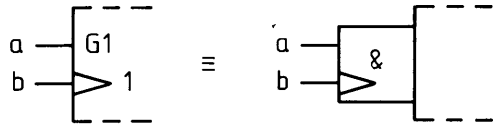
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983



(Suite à la page suivante)

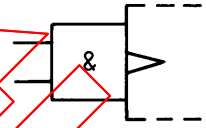
(Continued overleaf)

Withdrawn
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983



La notation de dépendance ne permet pas de simplifier la représentation d'un élément-tel que:

Dependency notation does not provide a shorthand notation for:

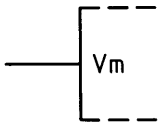
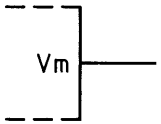


SECTION 15 – DÉPENDANCE OU (DÉPENDANCE V)

15.1 Tout accès influencé par un accès Vm est lié à celui-ci par une fonction OU.

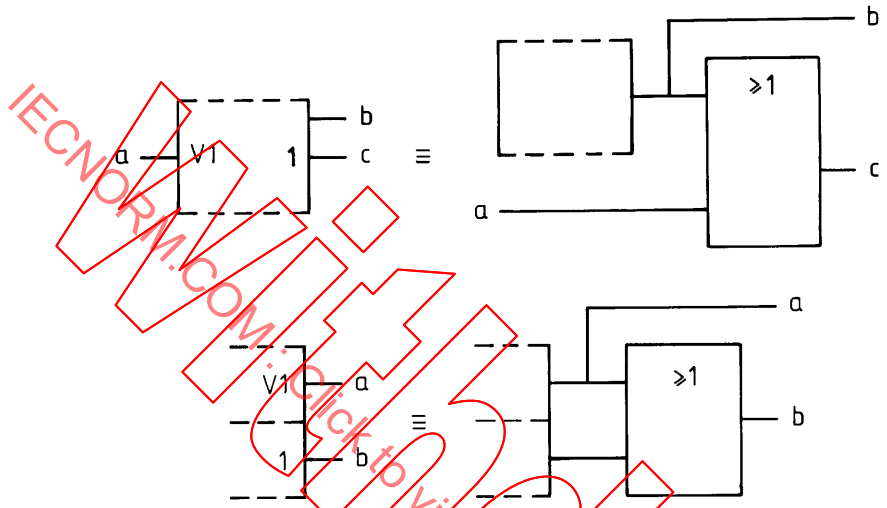
SECTION 15 – OR DEPENDENCY (V-DEPENDENCY)

15.1 Each input or output affected by a Vm-input or Vm-output stands in an OR relationship with this Vm-input or Vm-output.

No.	Symbole Symbol	Légende	Description
12-15-01		Entrée Vm	Vm-input
12-15-02		Sortie Vm	Vm-output
		Quand un accès Vm est à l'état interne 1, tous les accès influencés par cet accès ont l'état logique interne 1.	If a Vm-input or Vm-output stands at its internal 1-state, all inputs and outputs affected by this Vm-input or Vm-output stand at their internal 1-states.
		Quand un accès Vm est à l'état interne 0, tous les accès influencés par cet accès ont l'état logique interne résultant de la fonction de l'opérateur.	If a Vm-input or Vm-output stands at its internal 0-state, all inputs and outputs affected by this Vm-input or Vm-output stand at their normally defined internal logic states.
		Les notes du tableau I et des symboles 12-14-01 et 12-14-02 sont applicables.	The notes with Table I and symbols 12-14-01 and 12-14-02 apply.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

Illustrations



SECTION 16 – DÉPENDANCE DE NÉGATION (DÉPENDANCE N)

16.1 Tout accès influencé par un accès Nm est lié à celui-ci par une fonction OU-EXCLUSIF.

SECTION 16 – NEGATE DEPENDENCY (N-DEPENDENCY)

16.1 Each input or output affected by an Nm-input or Nm-output stands in an EXCLUSIVE-OR relationship with this Nm-input or Nm-output.

No.	Symbole Symbol	Légende	Description
12-16-01	Nm	Entrée Nm	Nm-input
12-16-02	Nm	Sortie Nm	Nm-output

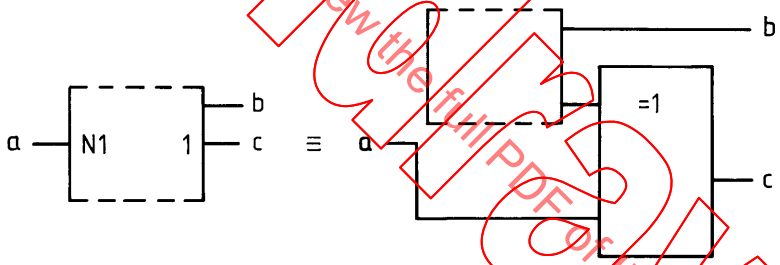
(Suite à la page suivante) *(Continued overleaf)*

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende *(suite)*	Description *(continued)*
		Quand un accès Nm est à l'état interne 1, l'état logique interne de chacun des accès qu'il influence est complémentaire de celui résultant de la fonction de l'opérateur. Quand un accès Nm est à l'état interne 0, tous les accès influencés par cet accès ont l'état logique interne résultant de la fonction de l'opérateur. Les notes du tableau I et des symboles 12-14-01 et 12-14-02 sont applicables.	If an Nm-input or Nm-output stands at its internal 1-state, the internal logic state of each input and each output affected by this Nm-input or Nm-output is the complement of the normally defined internal logic state of that input or output. If an Nm-input or Nm-output stands at its internal 0-state, all inputs and outputs affected by this Nm-input or Nm-output stand at their normally defined internal logic states. The notes with Table I and symbols 12-14-01 and 12-14-02 apply.

Illustration

Pour a = 0, on a c = b
Pour a = 1, on a c = $\overline{b}$



If a = 0, then c = b
If a = 1, then c = $\overline{b}$

SECTION 17 – DÉPENDANCE D'INTERCONNEXION (DÉPENDANCE Z)

17.1 La notation de dépendance Z indique qu'un accès impose son état logique interne à un ou plusieurs autres accès, comme exemple d'application, voir le symbole 12-28-13.

L'état logique interne d'un accès influencé par un accès Zm est le même que celui de cet accès Zm, sauf modification par une autre notation de dépendance.

SECTION 17 – INTERCONNECTION DEPENDENCY (Z-DEPENDENCY)

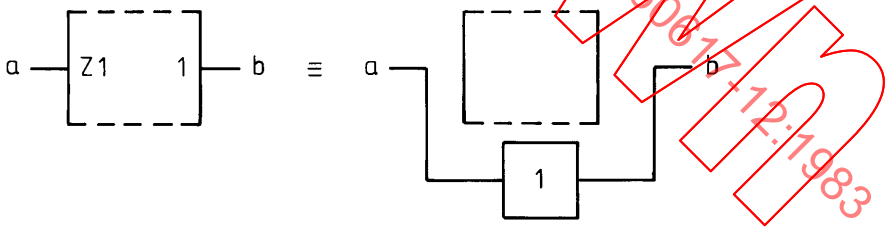
17.1 INTERCONNECTION dependency is used to indicate that an input or output imposes its internal logic state on one or more other inputs and/or outputs, for an example of use, see symbol 12-28-13.

The internal logic state of an input or output affected by a Zm-input or Zm-output is identical to the internal logic state of its affecting Zm-input or Zm-output unless modified by additional dependency notation.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-17-01	Zm	Entrée Zm	Zm-input
12-17-02	Zm	Sortie Zm	Zm-output
		Tout accès influencé par un accès Zm présente à tout instant le même état logique interne que lui, sauf modification par une autre notation de dépendance.	If a Zm-input or Zm-output stands at its internal 1-state, all inputs and outputs affected by this Zm-input or Zm-output stand at their internal 1-states unless modified by additional dependency notation. If a Zm-input or Zm-output stands at its internal 0-state, all inputs and outputs affected by this Zm-input or Zm-output stand at their internal 0-states unless modified by additional dependency notation.
		Les notes du tableau I et des symboles 12-14-01 et 12-14-02 sont applicables.	The notes with Table I and symbols 12-14-01 and 12-14-02 apply.

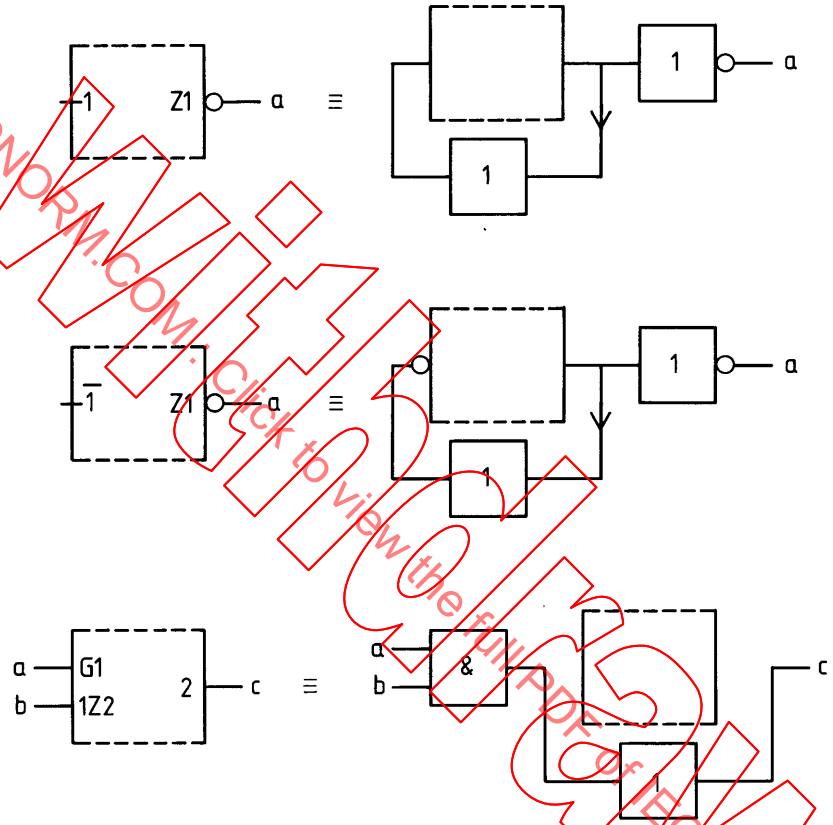
Illustrations



(Suite à la page suivante)

(Continued overleaf)

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn



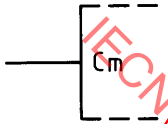
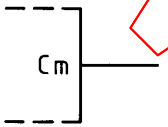
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

SECTION 18 – DÉPENDANCE DE COMMANDE (DÉPENDANCE C)

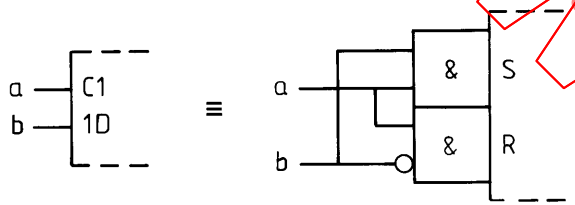
18.1 La dépendance de COMMANDE est utilisée seulement pour des opérateurs séquentiels et peut exprimer une relation plus compliquée que ET. Elle identifie une entrée qui déclenche une action, telle que l'entrée d'horloge d'un opérateur bistable déclenché sur front, ou l'entrée de validation d'une bascule transparente.

SECTION 18 – CONTROL DEPENDENCY (C-DEPENDENCY)

18.1 CONTROL dependency shall be used for sequential elements only and may imply more than a simple AND relationship. It identifies an input that produces action, for example the clock of an edge-triggered bistable circuit or the data enable of a level-operated transparent latch.

No.	Symbole Symbol	Légende	Description
12-18-01		Entrée Cm	Cm-input
12-18-02		Sortie Cm	Cm-output
		Quand un accès Cm est à l'état interne 1, les entrées qu'il influence ont l'effet prévu sur le fonctionnement de l'opérateur.	If a Cm-input or Cm-output stands at its internal 1-state, the inputs affected by this Cm-input or Cm-output have their normally defined effect on the function of the element.
		Quand un accès Cm est à l'état interne 0, les entrées qu'il influence n'ont plus d'effet sur le fonctionnement de l'opérateur.	If a Cm-input or Cm-output stands at its internal 0-state, the inputs affected by this Cm-input or Cm-output have no effect on the function of the element.
		Les notes du tableau I et des symboles 12-14-01 et 12-14-02 sont applicables.	The notes with Table I and symbols 12-14-01 and 12-14-02 apply.

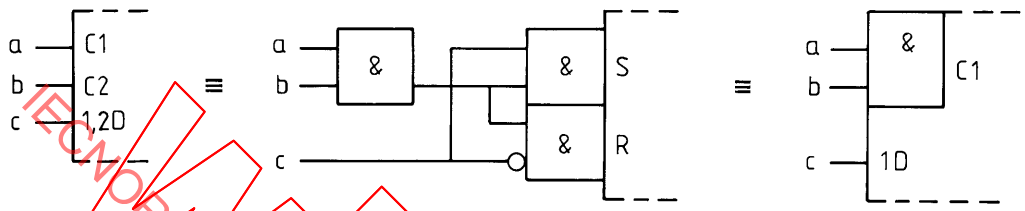
Illustrations



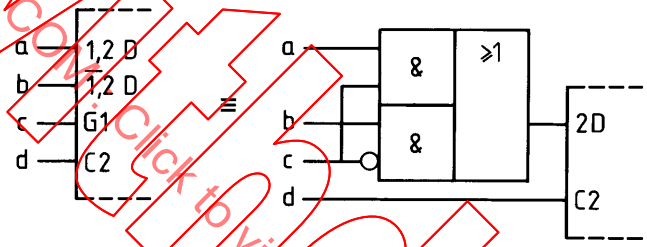
(Suite à la page suivante)

(Continued overleaf)

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

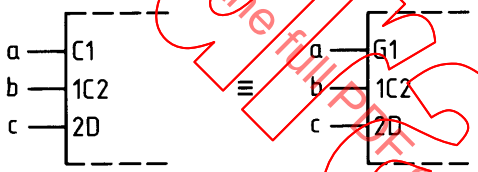


L'article 9.1 est appliqué



Use has been made of Clause 9.1

Cette illustration est exclusivement explicative, car l'utilisation d'une entrée Cm influençant une autre entrée Cm est à proscrire



This illustration has been included for explanatory purposes, but the use of a Cm-input to affect a second Cm-input is not recommended

Pour la comparaison des influences C, EN et M sur les entrées, voir la section 22.

For comparison of C-, EN- and M-effects on inputs, see Section 22.

SECTION 19 – DÉPENDANCE MISE À UN (DÉPENDANCE S) ET DÉPENDANCE MISE À ZÉRO (DÉPENDANCE R)

19.1 Ces dépendances ne sont à utiliser que s'il est nécessaire de spécifier l'effet des entrées R et S sur une bascule bistable pour la combinaison R = S = 1.

Des entrées influençantes R et S ne peuvent agir que sur les sorties.

SECTION 19 – SET AND RESET DEPENDENCY (S- AND R-DEPENDENCY)

19.1 SET and RESET dependencies are used if it is necessary to specify the effect of the combination R = S = 1 on a bistable element. These dependencies should not be used if such specification is not necessary.

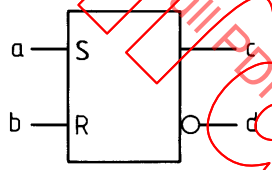
Affecting S- and R-inputs can affect outputs only.

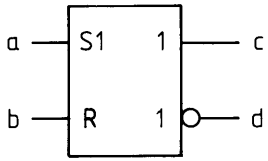
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-19-01	Sm	Entrée Sm Quand une entrée Sm est à l'état interne 1, les sorties qu'elle influence prennent l'état logique interne pris pour la combinaison S = 1, R = 0, quel que soit l'état d'une entrée R quelconque. Quand une entrée Sm est à l'état interne 0, cette entrée n'a pas d'effet. Les notes du tableau I et des symboles 12-14-01 et 12-14-02 sont applicables.	Sm-input If an Sm-input stands at its internal 1-state, the outputs affected by this Sm-input will take on the internal logic state they normally would take on for the combination S = 1, R = 0, regardless of the state of any R-input. If an Sm-input stands at its internal 0-state, it has no effect. The notes with Table I and symbols 12-14-01 and 12-14-02 apply.
12-19-02	Rm	Entrée Rm Quand une entrée Rm est à l'état interne 1, les sorties qu'elle influence prennent l'état logique interne pris pour la combinaison S = 0, R = 1, quel que soit l'état d'une entrée S quelconque. Quand une entrée Rm est à l'état interne 0, cette entrée n'a pas d'effet. Les notes du tableau I et des symboles 12-14-01 et 12-14-02 sont applicables.	Rm-input If an Rm-input stands at its internal 1-state, the outputs affected by this Rm-input will take on the internal logic state they normally would take on for the combination S = 0, R = 1, regardless of the state of any S-input. If an Rm-input stands at its internal 0-state, it has no effect. The notes with Table I and symbols 12-14-01 and 12-14-02 apply.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

Illustrations





Etats logiques externes

a	b	c	d
0	0	inchangé	
0	1	0	1
1	0	1	0
1	1	non spécifié	

Etats logiques externes

a	b	c	d
0	0	inchangé	
0	1	0	1
1	0	1	0
1	1	1	0

External logic states

a	b	c	d
0	0	unchanged	
0	1	0	1
1	0	1	0
1	1	unspecified	

External logic states

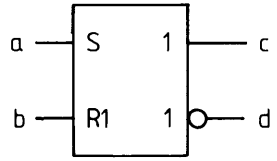
a	b	c	d
0	0	unchanged	
0	1	0	1
1	0	1	0
1	1	1	0

(Suite à la page suivante)

(Continued overleaf)

Etats logiques externes

a	b	c	d
0	0	inchangé	
0	1	0	1
1	0	1	0
1	1	0	1

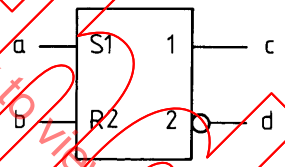


External logic states

a	b	c	d
0	0	unchanged	
0	1	0	1
1	0	1	0
1	1	0	1

Etats logiques externes

a	b	c	d
0	0	inchangé	
0	1	0	1
1	0	1	0
1	1	1	1



External logic states

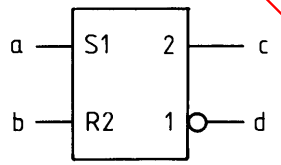
a	b	c	d
0	0	unchanged	
0	1	0	1
1	0	1	0
1	1	1	1

Note. – La situation non complémentaire des états des sorties de la dernière ligne de la table de vérité est seulement pseudo-stable. Le retour simultané des entrées a et b à 0 produit des états complémentaires stables, mais imprévisibles, des sorties.

Note. – The non-complementary output pattern in the last line of the truth table is only pseudo-stable. The simultaneous return of a and b to 0 produces an unforeseeable stable and complementary output pattern.

Etats logiques externes

a	b	c	d
0	0	inchangé	
0	1	0	1
1	0	1	0
1	1	0	0



External logic states

a	b	c	d
0	0	unchanged	
0	1	0	1
1	0	1	0
1	1	0	0

La note de la précédente illustration est applicable.

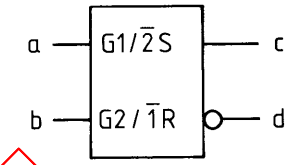
The note with the preceding illustration applies.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

La signification de la barre inclinée est donnée dans la section 25.

Etats logiques externes

a	b	c	d
0	0	inchangé	
0	1	0	1
1	0	1	0
1	1	inchangé	



Note. – Cet exemple n'utilise pas de dépendances S et R, mais complète la collection des cas possibles et illustre le fait qu'une dépendance S ou R ne peut pas influencer des entrées.

The use of the solidus is explained in Section 25.

External logic states

a	b	c	d
0	0	unchanged	
0	1	0	1
1	0	1	0
1	1	unchanged	

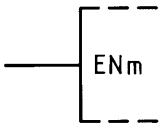
Note. – This example does not use the S- and R-dependencies, but completes the set of alternatives to the unspecified case and demonstrates the fact that S- and R-dependencies cannot affect inputs.

SECTION 20 – DÉPENDANCE DE VALIDATION (DÉPENDANCE EN)

20.1 La dépendance de VALIDATION est utilisée pour représenter une entrée de VALIDATION qui n'influence pas toutes les sorties d'un opérateur. Elle peut aussi être utilisée lorsqu'une ou plusieurs entrées d'un opérateur sont influencées.

SECTION 20 – ENABLE DEPENDENCY (EN-DEPENDENCY)

20.1 ENABLE dependency is used to indicate an ENABLE input which does not necessarily affect all outputs of an element. It can also be used if one or more inputs of an element are affected.

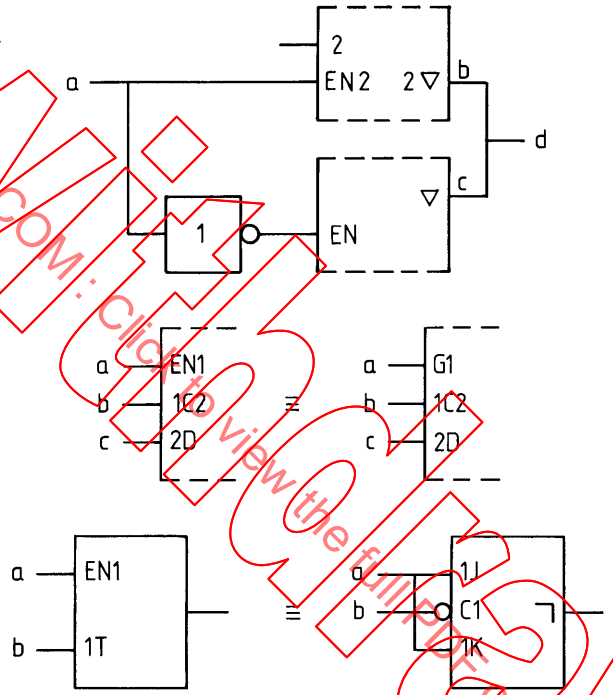
No.	Symbole Symbol	Légende	Description
12-20-01		Entrée ENm L'effet de cette entrée sur les sorties influencées est le même que celui d'une entrée EN (voir le symbole 12-09-11). L'effet de cette entrée sur les entrées qu'elle influence est le même que celui d'une entrée M (voir symbole 12-21-01). Les notes du tableau I et des symboles 12-14-01 et 12-14-02 sont applicables.	ENm-input The effect of this input on its affected outputs is the same as that of an EN-input (see symbol 12-09-11). The effect of this input on its affected inputs is the same as that of an M-input (see symbol 12-21-01). The notes with Table I and symbols 12-14-01 and 12-14-02 apply.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

Illustrations

Etats logiques externes

a	d
0	c
1	b



External logic states

a	d
0	c
1	b

Pour la comparaison des influences C, EN et M sur les entrées, voir la section 22.

For comparison of C-, EN- and M-effects on inputs, see Section 22.

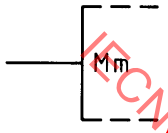
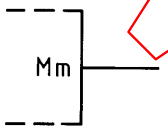
SECTION 21 – DÉPENDANCE DE MODE (DÉPENDANCE M)

21.1 La dépendance de MODE est utilisée lorsque les propriétés de certains accès d'un opérateur dépendent du mode selon lequel l'opérateur fonctionne.

SECTION 21 – MODE DEPENDENCY (M-DEPENDENCY)

21.1 MODE dependency is used to indicate that the effects of particular inputs and outputs of an element depend on the mode in which the element is operating.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-21-01		Entrée Mm	Mm-input
12-21-02		Sortie Mm	Mm-output
		Quand un accès Mm est à l'état interne 1, les entrées qu'il influence ont l'effet normalement prévu sur la fonction de l'opérateur et les sorties qu'il influence ont l'état logique interne découlant de cette fonction, autrement dit, les accès influencés sont valides.	If an Mm-input or Mm-output stands at its internal 1-state, the inputs affected by this Mm-input or Mm-output have their normally defined effect on the function of the element and the outputs affected by this Mm-input or Mm-output stand at their normally defined internal logic states, i.e. the inputs and outputs are enabled.
		Quand cet accès est à l'état interne 0, les entrées qu'il influence n'ont plus d'effet sur le fonctionnement de l'opérateur et pour chaque sortie qu'il influence, un marquage contenant le numéro d'identification de cet accès n'a pas d'effet et est à négliger. Quand un accès influencé présente plusieurs marquages séparés par des barres inclinées, tout marquage comprenant le numéro d'identification de l'accès Mm n'a pas d'effet et est à négliger. Cela symbolise l'invalidation d'une partie des fonctions d'une entrée à fonctions multiples, ou l'invalidation ou la sélection d'une partie des fonctions d'une sortie à fonctions multiples, ou la modification de certaines caractéristiques ou relations attachées à une sortie.	If an Mm-input or Mm-output stands at its internal 0-state, the inputs affected by this Mm-input or Mm-output have no effect on the function of the element and at each output affected by this Mm-input or Mm-output, any set of labels containing the identifying number of that Mm-input or Mm-output has no effect and is to be ignored. If an affected input has several sets of labels separated by solidi, any set in which the identifying number of the Mm-input or Mm-output appears has no effect and is to be ignored. This represents disabling of some of the functions of a multi-function input If an output has several sets of labels separated by solidi (see Section 25), only those sets in which the identifying number of this Mm-input or Mm-output appears are to be ignored. This represents disabling or selection of some of the functions of a multi-function output, or the modification of some of the characteristics or dependent relationships of the output.
		Les notes du tableau I et des symboles 12-14-01 et 12-14-02 sont applicables.	The notes with Table I and symbols 12-14-01 and 12-14-02 apply.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

21.2 Pour des opérateurs complexes comportant un nombre important de modes de fonctionnement, l'emploi de la dépendance de MODE peut conduire à un marquage excessif. Dans ce cas, les accès influencés par l'un de ces modes sont simplement marqués M et un tableau donnant le fonctionnement de chacun de ces accès pour chacun de ces modes est fourni sur le schéma ou dans une documentation associée. Si aucune confusion n'est possible, la lettre M peut être omise.

21.2 In complex elements with a large number of different modes, application of the convention for MODE dependency may lead to a very extended labelling. In such cases, the inputs and outputs affected by any affecting M-input are simply labelled with the letter M, but then the diagram containing the symbol must also contain either a table in which the effects of these inputs in the different modes are clearly explained or a statement as to where such a table is to be found. If no confusion can arise, these letters M may be omitted.

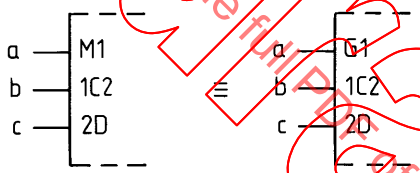
Illustrations

Les utilisations du symbole de groupement numérique et de la barre inclinée sont expliquées dans les sections 24 et 25, respectivement.

The use of the bit-grouping symbol and the solidus is explained in Sections 24 and 25, respectively.

Dépendance M influençant des entrées:

M-dependency affecting inputs:

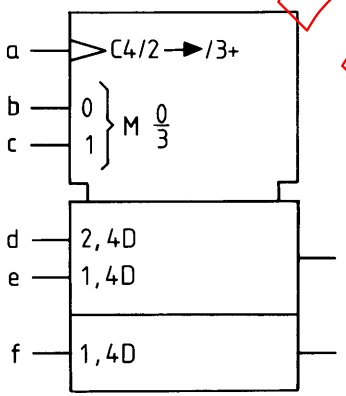


Mode 0 (b = 0, c = 0): les sorties conservent leur état précédent, aucune entrée n'ayant d'effet.

Mode 1 (b = 1, c = 0): chargement parallèle par les entrées e et f.

Mode 2 (b = 0, c = 1): décalage et chargement série par l'entrée d.

Mode 3 (b = 1, c = 1): comptage d'une unité par impulsion d'horloge (entrée a).



Mode 0 (b = 0, c = 0): the outputs remain at their existing states as none of the inputs has an effect.

Mode 1 (b = 1, c = 0): parallel loading takes place through inputs e and f.

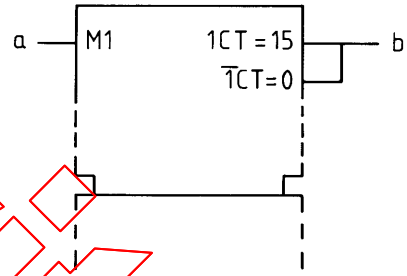
Mode 2 (b = 0, c = 1): shifting down and serial loading through input d take place.

Mode 3 (b = 1, c = 1): counting up by increment of 1 per clock pulse takes place (input a).

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

Détermination de la fonction d'une sortie:

Si l'entrée a, par son état interne 1, provoque le mode 1, la sortie b prend l'état interne 1 quand le contenu du registre égale 15. Si l'entrée a est à l'état interne 0, la sortie b prend l'état interne 1 quand le contenu du registre égale 0. Comme explication, voir aussi la section 25.



Determining the function of an output:

If input a stands at its internal 1-state establishing mode 1, output b will stand at its internal 1-state if the content of the register equals 15. If input a stands at its internal 0-state, output b will stand at its internal 1-state if the content of the register equals 0. For explanation, see also Section 25.

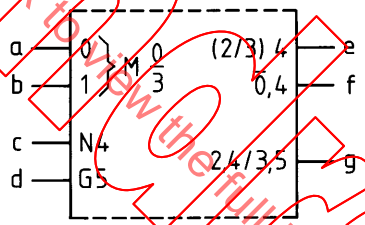
Modification du comportement des sorties:

A la sortie e l'influence provoquant la complémentation (si c = 1) n'est effective qu'en modes 2 et 3. En modes 0 et 1, cette sortie est à l'état résultant de la fonction de l'opérateur, comme si elle n'avait aucun marquage.

A la sortie f l'influence est effective pour tous les modes sauf 0, donc la sortie est complémentée pour les modes 1, 2 et 3. En mode 0, cette sortie est à l'état résultant de la fonction de l'opérateur. Dans l'illustration: $\overline{0}$,4 équivaut à (1/2/3)4.

La sortie g est soumise à deux marquages. Le premier provoque la complémentation (si c = 1) et est effectif seulement en mode 2, le second établit une liaison ET avec d et est effectif seulement en mode 3.

En mode 0 aucune relation de dépendance n'implique d'influence sur les sorties, ainsi e, f et g ont le même état.



Modifying dependent relationships of outputs:

At output e the label set causing negation (if c = 1) is effective in modes 2 and 3 only. In modes 0 and 1, this output stands at its normally defined state as if it had no labels.

At output f the label set has effect if the mode is not 0, so output f is negated (if c = 1) in modes 1, 2 and 3. In mode 0 the label set has no effect so the output stands at its normally defined state. In this example $\overline{0}$,4 is equivalent to (1/2/3)4.

At output g there are two label sets. The first set, causing negation (if c = 1), is effective only in mode 2. The second set, subjecting g to AND dependency on d, has effect only in mode 3.

Note that in mode 0 none of the dependency relationships has any effect on the outputs, so e, f and g will all stand at the same state.

Pour la comparaison des influences C, EN, M sur les entrées, voir la section 22.

For comparison of C-, EN- and M-effects on inputs, see Section 22.

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

SECTION 22 – COMPARAISON ENTRE LES INFLUENCES C, EN, ET M SUR LES ENTRÉES

Les entrées Cm, ENm et Mm ont une influence semblable sur les entrées qu'elles influencent, mais elles diffèrent par les applications pour lesquelles elles ont été prévues:

- Cm est destinée à identifier une entrée qui déclenche une action;
- ENm est destinée à identifier une entrée ayant une action préparatoire simple;
- Mm est destinée à identifier une ou plusieurs entrées qui, séparément ou ensemble, produisent plusieurs actions préparatoires.

SECTION 22 – COMPARISON OF C-, EN- AND M-EFFECTS ON INPUTS

With regard to affected input, Cm-, ENm- and Mm-inputs all have the same effect. However, their intended applications are different:

- Cm should be used to identify an input that produces action;
- ENm should be used to identify an input that produces a single preparatory effect;
- Mm should be used to identify one or more inputs that singly or together produce alternative preparatory effects.

SECTION 23 – DÉPENDANCE ADRESSE (DÉPENDANCE A)

23.1 La dépendance ADRESSE permet une claire représentation d'opérateurs tels que les mémoires, qui utilisent une commande des entrées par «adresses» pour sélectionner des sections spécifiées d'un opérateur complexe composé de n sous-groupements, tous semblables et dont les sorties sont réunies chacune à chacune par une fonction OU (ou une autre fonction, expressément indiquée sous le symbole distinctif de la fonction de l'opérateur, par exemple $\frac{\text{RAM}}{\&\ \diamond}$). Il est possible de représenter chaque sous-groupement par un seul opérateur en indiquant quel est celui d'entre eux qui donne son état logique interne à la sortie de la fonction OU. Dans tous les sous-groupements, l'opérateur ainsi sélectionné est celui influencé par celle des entrées influençantes Am qui est portée à l'état interne 1. L'opérateur complet est donc symbolisé en représentant une seule section prise comme type au lieu de toutes les sections identiques qui le composent.

Si une sortie figure comme «sortie à circuit ouvert» ou «sortie 3-états» sur un élément particulier de la «section type», cette indication se rapporte à une sortie du «groupement» et non aux sorties des sections.

SECTION 23 – ADDRESS DEPENDENCY (A-DEPENDENCY)

23.1 ADDRESS dependency provides a clear representation of those elements, particularly memories, which use address control inputs to select specified sections of a multidimensional array. ADDRESS dependency allows a symbolic representation of only a single general case of the sections of the array, rather than requiring a symbolic presentation of the entire array. An input of the array shown at a particular element of this general section is common to the corresponding elements of all sections of the array. An output of the array shown at a particular element of this general section is the result of the OR function of the outputs of the corresponding elements of the selected sections. If any other function than OR is performed, this should be indicated by adding the appropriate qualifying symbol below the general qualifying symbol, e.g. $\frac{\text{RAM}}{\&\ \diamond}$.

If the label of an output of the array shown at a particular element of this general section indicates that this output is an open-circuit output or a 3-state output, then this indication refers to the output of the array and not to those of the sections of the array.

IECNORM.COM: Click to view the full PDF of IEC 617-12:1983
Withdrawn

Les entrées non influencées par une entrée influençante ADRESSE agissent sur toutes les sections du groupement tandis que celles influencées par une entrée ADRESSE n'agissent que sur la section sélectionnée par ladite entrée ADRESSE.

Une entrée influençante ADRESSE est marquée par la lettre A suivie du numéro d'identification correspondant à la section particulière sélectionnée par cette entrée.

Dans la «section type» figurée dans le symbole, les entrées et sorties influencées par une entrée Am sont marquées de la lettre A qui tient lieu de numéro d'identification, le numéro identifiant chacune des sections étant sous-entendu. La lettre A est donc soumise aux règles générales de la notation de dépendance pour les numéros d'identification associés aux accès influencés.

Si une sortie influencée par une entrée Am présente d'autres marquages, ceux précédant la lettre A influencent la sortie de la section sélectionnée, tandis que ceux placés après la lettre A influencent la sortie du groupement, c'est-à-dire après application de la fonction OU (ou de la fonction expressément indiquée) liant les sorties similaires des sections.

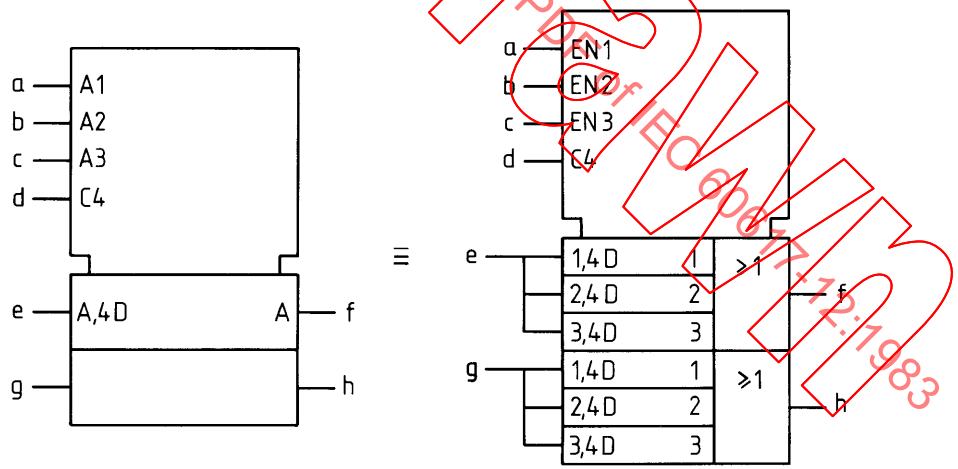
Inputs which are not affected by any affecting ADDRESS input have their normally defined effect on all sections of the array, whereas inputs affected by an ADDRESS input have their normally defined effect only on the section selected by that ADDRESS input.

An affecting ADDRESS input is labelled with the letter A followed by an identifying number which corresponds with the address of the particular section of the array selected by this input.

Within the general section presented by the symbol, inputs and outputs affected by an Am-input are labelled with the letter A, which stands for the identifying numbers, i.e. the addresses, of the particular sections. This letter A is subject to the rules of dependency notation concerning identifying numbers associated with affected inputs and outputs.

If an output affected by an Am-input also has other labels, then the labels preceding the letter A affect the output of the section selected by this Am-input and the labels placed behind the letter A affect the output of the array, i.e. after the application of the OR function (or the indicated function) to the corresponding outputs of the selected sections of the array.

Illustration



IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

23.2 Les numéros d'identification des entrées influençantes Am s'identifient aux adresses des sections sélectionnées par ces entrées. Il n'est pas nécessaire qu'ils diffèrent des numéros choisis pour d'autres dépendances (par exemple G, V, N, ...), du fait que dans la section type du symbole ne figure que la lettre A.

S'il y a plusieurs séries d'entrées Am influençantes pour permettre des accès indépendants, éventuellement simultanés à des sections d'un groupement, les symboles spécifiques de ces entrées sont 1A, 2A, ... au lieu de A. Parce qu'elles interviennent sur les mêmes sections du groupement, ces séries d'entrées Am peuvent avoir les mêmes numéros d'identification.

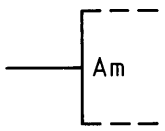
Deux entrées influençantes Am, présentant le même numéro d'identification, n'ont pas de relation mutuelle pas plus qu'avec d'autres entrées influençantes (Gm, Vm, Nm, ...) présentant le même numéro d'identification.

23.2 The identifying numbers of affecting ADDRESS inputs correspond with the addresses of the sections selected by these inputs. They need not necessarily differ from those of other affecting dependency-inputs (e.g. G, V, N, ...), because in the general section presented by the symbol they are replaced by the letter A.

If there are several sets of affecting Am-inputs for the purpose of independent and possibly simultaneous access to sections of the array, then the letter A is modified to 1A, 2A, ... Because they have access to the same sections of the array, these sets of Am-inputs may have the same identifying numbers.

Two affecting ADDRESS inputs having the same identifying number stand in no relation to each other nor to any affecting dependency-input (e.g. Gm, Vm, Nm, ...) having the same identifying number.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

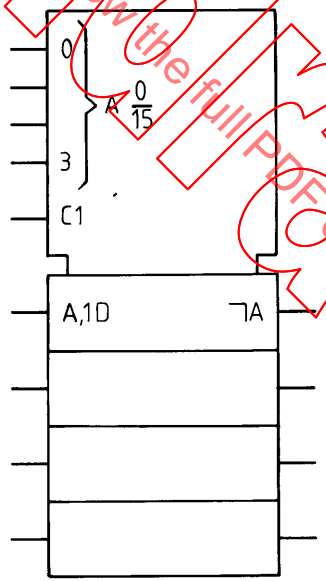
No.	Symbole Symbol	Légende	Description
12-23-01		Entrée Am Quand cette entrée est à l'état interne 1, les entrées qu'elle influence* ont l'effet prévu sur la fonction des opérateurs sélectionnés et les sorties qu'elle influence* exercent leur action sur la fonction OU (ou sur la fonction expressément indiquée) déterminant l'état logique interne des sorties correspondantes du groupement.	Am-input If this input stands at its internal 1-state, the inputs affected by this input (i.e. the inputs of the section of the array selected by this input) have their normally defined effect on the elements of the selected section and the internal logic states of the outputs affected by this input (i.e. the outputs of the selected section) have their normal effect on the OR functions (or the indicated functions) determining the internal logic states of the outputs of the array.

		Quand cette entrée est à l'état interne 0, les entrées qu'elle influence* n'ont pas d'effet sur la fonction des opérateurs sélectionnés et les sorties qu'elle influence* n'ont pas d'action sur les sorties du groupement. Les notes du tableau I et des symboles 12-14-01 et 12-14-02 sont applicables. * A savoir celles de la section du groupement sélectionnée par cette entrée.	If the input stands at its internal 0-state, the inputs affected by this input (i.e. the inputs of the section selected by this input) have no effect on the elements of this section and the outputs affected by this input (i.e. the outputs of the section selected by this input) have no effect on the outputs of the array. The notes with Table I and symbols 12-14-01 and 12-14-02 apply.

Illustrations

Pour l'emploi du symbole de groupement numérique, voir la section 24.

The use of the bit-grouping symbol is explained in Section 24.



Groupement à 16 sections de chacune 4 opérateurs bistables D déclenchés par impulsion (voir la section 41).

Array of 16 sections, each of 4 pulse-triggered D-bistables (see Section 41).

(Suite à la page suivante)

(Continued overleaf)

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

Une section particulière (parmi 8) est sélectionnée sous l'influence simultanée des deux séries d'entrées Am.

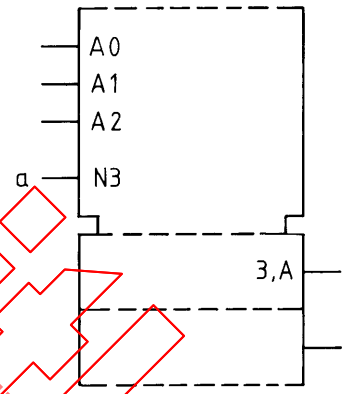
A particular section (among 8) is selected if it is selected by both sets of Am-inputs.

Une section particulière (parmi 8) est sélectionnée soit sous l'influence des deux séries d'entrées Am soit sous la seule influence de l'une d'entre elles.

A particular section (among 8) is selected if it is selected either by one or by both sets of Am-inputs.

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

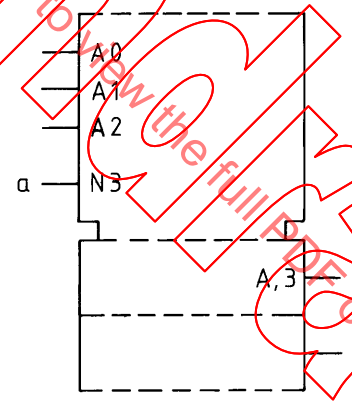
Pour a = 1 Suppose a = 1



Les états logiques internes des sorties du groupement résultent des fonctions OU des compléments des états logiques des sorties des sections sélectionnées.

The internal logic states of the outputs of the array are the results of the OR functions of the complements of the logic states of the outputs of the selected sections.

Pour a = 1 Suppose a = 1



Les états logiques internes des sorties du groupement sont les compléments des fonctions OU résultant des états logiques des sorties des sections sélectionnées.

The internal logic states of the outputs of the array are the complements of the results of the OR functions of the logic states of the outputs of the selected sections.

SECTION 24 – TECHNIQUES PARTICULIÈRES DE SYMBOLISATION POUR LA NOTATION DE DÉPENDANCE

24.1 Signaux codés sur des entrées influençantes

24.1.1 Lorsque l'effet d'entrées influençantes recevant des signaux codés est obtenu après décodage, il est possible d'incorporer le symbole de transcodeur (12-32-01).

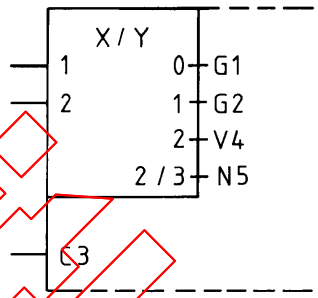
SECTION 24 – SPECIAL TECHNIQUES USED IN DEPENDENCY NOTATION

24.1 Use of a coder to produce affecting inputs

24.1.1 If the effect of a set of affecting inputs is produced by decoding the signals on these inputs, the symbol for a coder (12-32-01) may be used as an embedded symbol.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

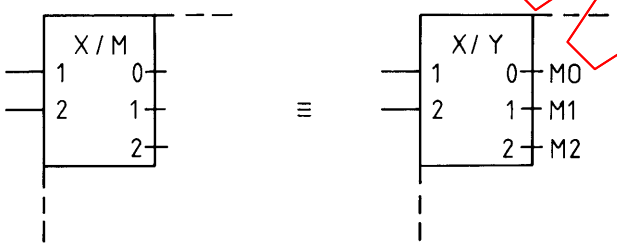
Illustration



24.1.2 Quand toutes les entrées influençantes issues d'un transcodeur sont du même type et quand leur numéro d'identification correspond avec les numéros portés à la sortie du transcodeur, Y peut être remplacé, dans le symbole X/Y, par le symbole littéral du type de dépendance concerné et ce symbole doit alors être omis aux entrées influençantes.

24.1.2 If all affecting inputs produced by a coder are of the same type and if their identifying numbers correspond with the numbers shown at the outputs of the coder, the Y in the qualifying symbol X/Y may be replaced by the letter denoting the type of dependency and the indications of the affecting inputs should then be omitted.

Illustration



IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

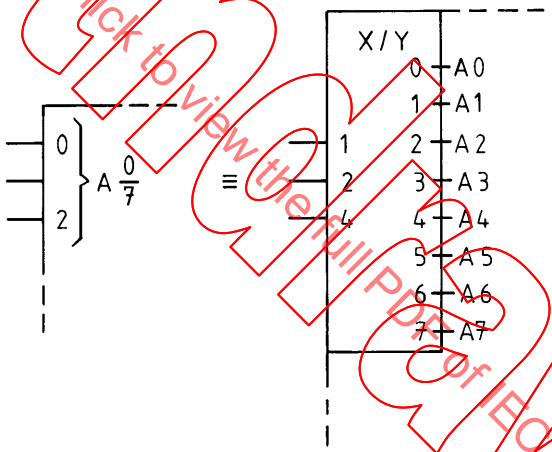
24.2 Utilisation du symbole de groupement numérique

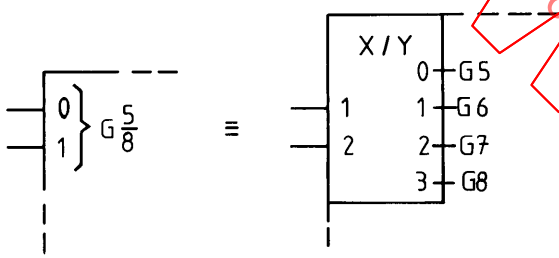
24.2.1 Quand toutes les entrées influençantes issues d'un transcodeur sont du même type avec des numéros d'identification en séquence, mais éventuellement différant des numéros figurant aux sorties du transcodeur, il peut être fait usage du symbole de groupement numérique (symbole 12-09-24) en remplaçant l'astérisque par le symbole du type de dépendance suivi de $\frac{m1}{m2}$, m1 étant le plus petit numéro d'identification et m2 le plus grand. Le nombre des numéros d'identification est égal à (m2 − m1+1).

24.2 Use of bit grouping to produce affecting inputs

24.2.1 If all affecting inputs produced by a coder are of the same type and have consecutive identifying numbers (not necessarily corresponding with the numbers that would have been shown at the outputs of the coder), the bit grouping symbol (symbol 12-09-24) can be used. In this case, the asterisk shall be replaced by the letter denoting the type of dependency followed by $\frac{m1}{m2}$. The m1 shall be replaced by the smallest identifying number and the m2 shall be replaced by the largest. The range of the identifying numbers (m2 − m1+1) must equal the number of outputs of the coder.

Illustrations

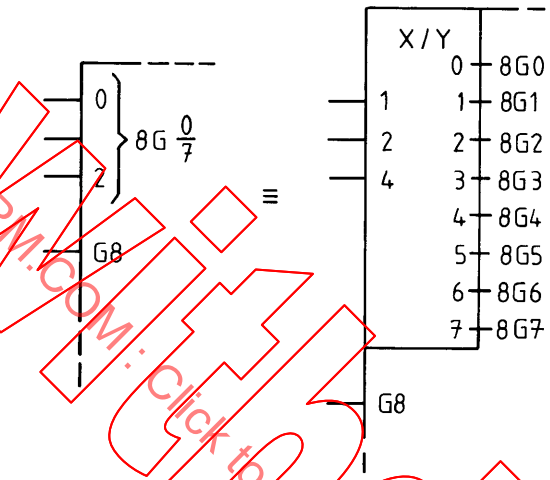




(Suite à la page suivante)

(Continued overleaf)

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn



24.3 Marquage d'entrées ayant une propriété intrinsèque de mise en mémoire

24.3.1 Il est fréquent qu'une entrée, différente d'une entrée D, ait une propriété intrinsèque de mise en mémoire. Une telle entrée peut être marquée:

mD,*

- m est remplacé par le numéro d'identification de l'entrée influençant la mise en mémoire;
- l'astérisque est remplacé par le symbole indiquant la fonction de la donnée mémorisée. Si ce symbole est un numéro, la virgule qui suit le D peut être omise.

24.3 Designation of labelled inputs having inherent storage

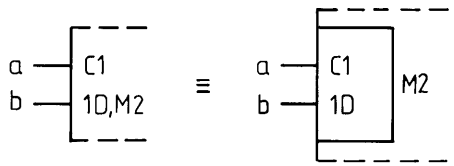
24.3.1 It often occurs that a labelled input other than a D-input has inherent storage. Such an input may be labelled as:

mD,*

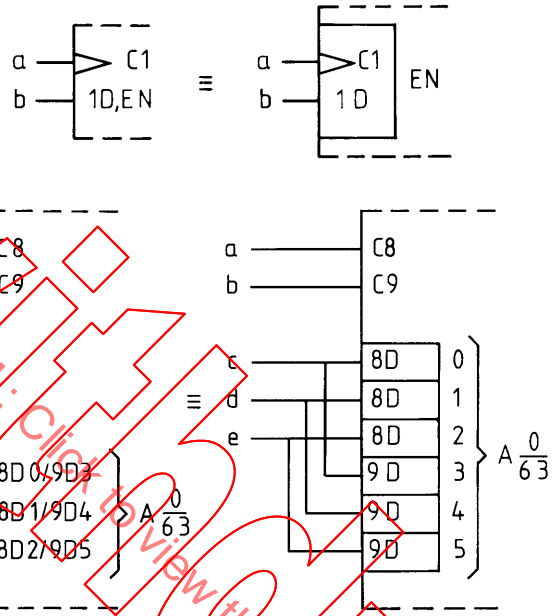
in which

- m shall be replaced by the identifying numbers of the inputs that affect the storage operation;
- the asterisk shall be replaced by the symbol denoting the function of the stored input. If that symbol is a number, the comma following the D may be omitted.

Illustrations



IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983



Voir aussi la section 25.

See also Section 25.

SECTION 25 – ORDRE DE MARQUAGES DES ACCÈS

25.1 Ordre de marquages des entrées

25.1.1 Quand une entrée exerçant une seule fonction est influencée par d'autres accès, son symbole distinctif doit être précédé des marquages des accès influençants. L'ordre de lecture de gauche à droite doit correspondre à celui dans lequel ces influences doivent intervenir. Une entrée influencée n'exerce plus d'action sur la fonction de l'opérateur si l'un quelconque des accès qui l'influencent est dans l'état logique interne impliquant cette invalidation, quels que soient les états logiques des autres accès influençants.

(Suite à la page suivante)

SECTION 25 – THE ORDERING OF LABELS ASSOCIATED WITH INPUTS AND WITH OUTPUTS

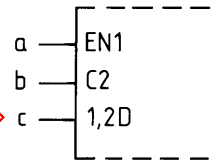
25.1 Order of input labels

25.1.1 If an input exerting a single function is affected by other inputs, the qualifying symbol for that function shall be preceded by the labels corresponding to the affecting inputs. The left-to-right order of these preceding labels shall be the order in which the effects or modifications must be applied. The affected input exerts no function if the logic state of any one of the affecting inputs or outputs, considered separately, would cause the affected input to have no effect, regardless of the logic states of other affecting inputs.

(Continued overleaf)

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

Illustration



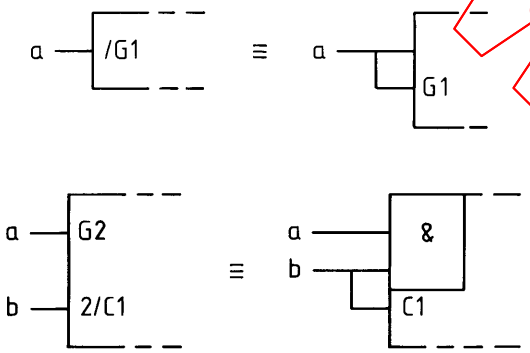
c n'a aucun effet aussi bien pour a = 0 que pour b = 0.

If either a = 0 or b = 0, then c has no effect.

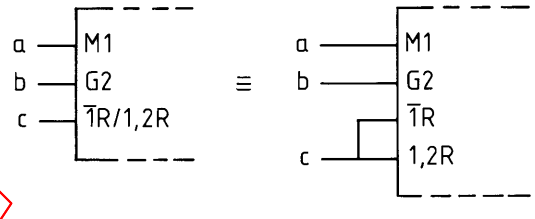
25.1.2 Quand une entrée exerce plusieurs fonctions ou plusieurs influences, l'indication de chacune de ces fonctions peut être donnée sur différentes entrées connectées extérieurement (voir les exemples des symboles 12-33-07, 12-49-11, 12-49-15). Toutefois, cette présentation n'est souvent pas avantageuse. Cette entrée peut être figurée une seule fois avec différents marquages séparés par des barres inclinées. Aucune signification n'est attachée à leur ordre d'inscription. Si l'une de ces fonctions n'est pas symbolisée par un marquage, une barre inclinée doit précéder le premier marquage (voir l'exemple du symbole 12-49-13).

25.1.2 If an input exerts more than one function or has more than one set of labels of affecting inputs, the indications of these functions or these sets may be shown on different input lines, which must be connected together outside the outline (see examples 12-33-07, 12-49-11, 12-49-15). However, there are cases in which this method of presentation is not advantageous. In those cases, the input may be shown once with the different sets of labels separated by solidi. No meaning is attached to the order of these sets of labels. If one of the functional effects of an input is that of an unlabelled input of the element, a solidus shall precede the first set of labels shown (see e.g. symbol 12-49-13).

Illustrations



IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn



25.1.3 Quand toutes les entrées d'un opérateur combinatoire sont invalidées (influencées pour ne pas participer à la fonction de l'opérateur), les états logiques internes des sorties de cet opérateur ne sont pas déterminés par son symbole.

Quand toutes les entrées d'un opérateur séquentiel sont invalidées (influencées pour ne pas participer à la fonction de l'opérateur), le contenu de l'opérateur reste inchangé et les sorties conservent leur état logique interne préexistant.

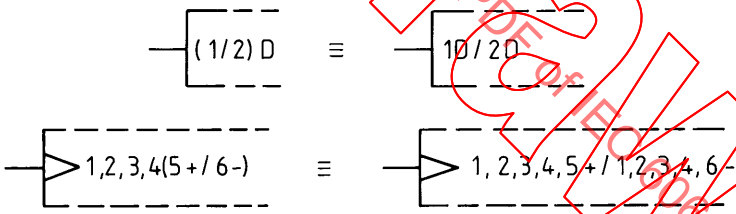
25.1.4 Les marquages peuvent être condensés par mise en facteurs algébriques.

25.1.3 If all inputs of a combinative element are disabled (caused to have no effect on the function of the element), the internal logic states of the outputs of the element are not specified by the symbol.

If all inputs of a sequential element are disabled (caused to have no effect on the function of the element), the content of this element is not changed and the outputs remain at their existing internal logic states.

25.1.4 Labels may be factored using algebraic techniques.

Illustrations

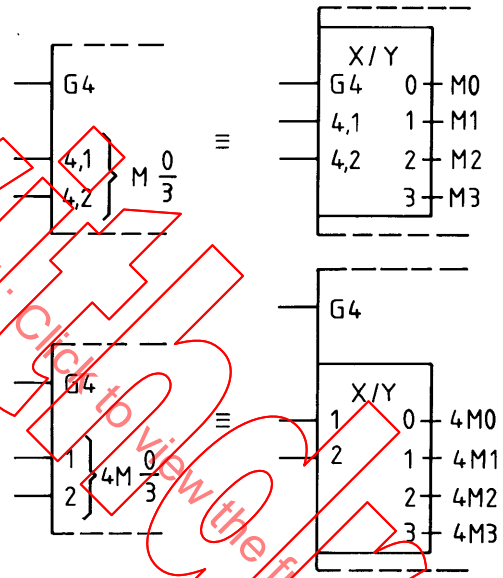


25.1.5 Sur les entrées sans mise en mémoire intrinsèque, lorsque les mises en facteurs algébriques sont combinées avec l'utilisation du symbole de groupement numérique, les marquages communs à toutes les entrées peuvent être inscrits derrière le symbole de groupement numérique, pourvu que l'ordre convenable de tous les marquages soit conservé.

25.1.5 If, at inputs without inherent storage, algebraic factoring techniques are combined with the use of the bit grouping symbol, labels common to all inputs may be shown behind the bit grouping symbol provided the proper order of all labels is maintained.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

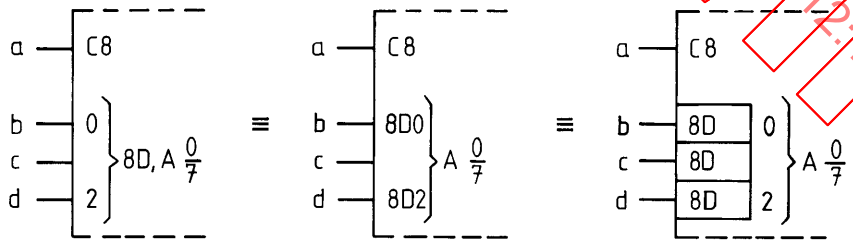
Illustrations



25.1.6 Sur les entrées avec mise en mémoire intrinsèque, lorsque les mises en facteurs algébriques sont combinées avec l'utilisation du symbole de groupement numérique, l'indication «mD,», comme définie dans l'article 24.3, peut être aussi inscrite derrière le symbole de groupement numérique, pourvu que l'ordre convenable de tous les autres marquages soit conservé.

25.1.6 If, at inputs having inherent storage, algebraic factoring techniques are combined with the use of the bit grouping symbol, the indication "mD,", as defined in Clause 24.3, may also be placed behind the bit grouping symbol provided the proper order of all other labels is maintained.

Illustration



IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

25.2 Ordre de marquages des sorties

25.2.1 Les divers symboles, y compris les numéros d'identification d'accès influençants, sont à placer dans l'ordre suivant:

- le symbole d'effet différé en sortie (12-09-01), s'il est applicable, est placé le premier, précédé si nécessaire par les indications des entrées concernées;
- suivent les symboles déterminant l'état logique interne de la sortie ou impliquant des modifications de cet état, l'ordre de lecture de gauche à droite correspondant à celui de leur intervention sur les propriétés de cette sortie comme exemple d'application, voir le symbole 12-49-15;
- suivent les symboles indiquant l'influence éventuelle de cette sortie sur d'autres accès de l'opérateur.

Les symboles de sortie à circuit ouvert, de sortie à circuit ouvert directe ou de sortie 3 états doivent être dessinés adjacents aux tracés des sorties, sauf dans le cas d'utilisation du symbole de groupement numérique comme décrit dans le paragraphe 25.2.3.

Quand une sortie comporte plusieurs rôles indépendants pouvant être considérés liés par une fonction interne OU (par exemple en fonction du mode d'action), les marquages correspondants peuvent être placés au regard de plusieurs sorties connectées extérieurement. Il y a cependant des cas où cette représentation n'est pas avantageuse. Alors les différents marquages, séparés par des barres inclinées, sont placés au regard de la sortie.

Deux numéros d'identification consécutifs d'entrées influençantes sont à séparer par une virgule (voir la section 12), à moins qu'un symbole non numéral ne soit par ailleurs placé entre eux.

25.2 Order of output labels

25.2.1 If an output has a number of different labels, regardless of whether they are identifying numbers of affecting inputs or outputs or not, these labels shall be shown in the following order:

- if the postponed output symbol (12-09-01) has to be shown, this comes first, if necessary preceded by the indications of the inputs to which it must be applied;
- followed by the qualifying symbols determining or modifying the internal logic state of the output, such that the left-to-right order of these labels correspond with the order in which their effects must be applied, for application, see symbol 12-49-15;
- followed by the label indicating the effect of the output on inputs and other outputs of the element.

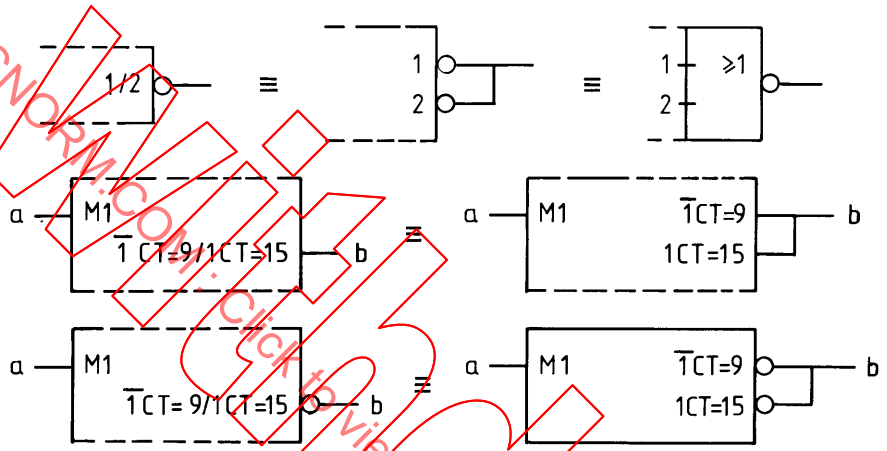
Symbols for open-circuit, passive-pull-down, passive-pull-up, or 3-state outputs shall be drawn adjacent to the output line, except when using the bit grouping symbol as described in Sub-clause 25.2.3.

If an output needs several different sets of labels which can be considered to stand in an internal OR relationship (e.g. depending on the mode of action), these sets may be shown on different output lines which must be connected together outside the outline. However, there are cases in which this method of presentation is not advantageous. In those cases the output may be shown once with the different sets of labels separated by solidi.

Two adjacent identifying numbers of affecting inputs in a set of labels not already separated by a non-numeric character should be separated by a comma (see Section 12).

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

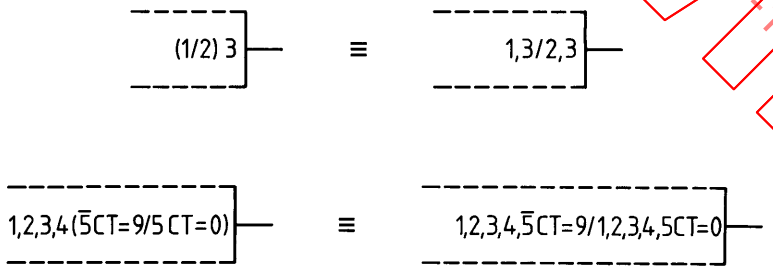
Illustrations



25.2.2 Les marquages peuvent être condensés par mise en facteurs algébriques.

25.2.2 Labels may also be factored using algebraic techniques.

Illustrations



IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

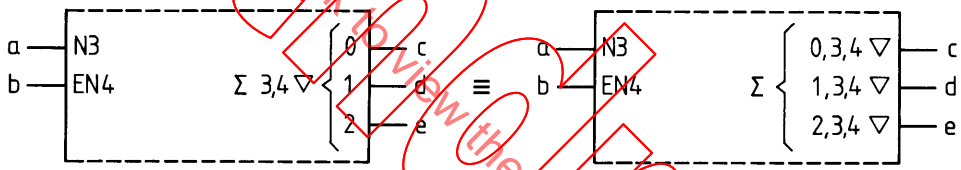
25.2.3 Lorsque le symbole de groupement numérique aux sorties (symbole 12-09-25) est utilisé et que les ensembles de marquages de chacune des sorties du groupement ne diffèrent que dans l'indication des poids, ces ensembles de marquage des sorties, y compris les symboles de sortie à circuit ouvert, de sortie à circuit ouvert directe ou de sortie 3 états (symboles 12-09-03 . . . 12-09-08) mais non compris l'indication des poids peuvent ne figurer qu'une seule fois, entre le symbole substitué à l'astérisque et le symbole de groupement numérique pourvu que l'ordre de succession correct des marquages, sauf ceux du poids et du symbole de groupement numérique, soit maintenu.

25.2.3 If the bit grouping symbol for outputs (symbol 12-09-25) is used and the sets of labels of all outputs grouped together differ only in the indications of the weights, the sets of labels, including the symbols for open-circuit, passive-pull-down, passive-pull-up, or 3-state outputs (symbols 12-09-03 through 12-09-08) but excluding the indications of the weights, may be shown only once between the symbol replacing the asterisk and the grouping symbol, provided that, except for the grouping symbol and the weights, the proper order of the labels is maintained.

Illustration

Pour la signification de Σ, voir le symbole 12-38-01.

For the meaning of Σ, see symbol 12-38-01.



CHAPITRE V: OPÉRATEURS COMBINATOIRES ET SÉQUENTIELS

SECTION 26 – NOTES GÉNÉRALES

26.1 Tous les symboles distinctifs intérieurs s'appliquent aux états internes des entrées et des sorties de l'opérateur concerné (voir les sections 1, 2 et 3).

26.2 La plupart des exemples qui suivent concernent des dispositifs commercialisés. Lorsqu'il n'est pas fait usage du symbole de polarité logique, c'est la convention de logique positive qui est utilisée.

CHAPTER V: COMBINATIVE AND SEQUENTIAL ELEMENTS

SECTION 26 – GENERAL NOTES

26.1 All qualifying symbols inside the outline are defined in terms of the internal logic states of the relevant inputs and outputs (see Sections 1, 2 and 3).

26.2 Many of the following examples are based on commercially available devices. Where the polarity indicator has not been used, the positive logic convention is assumed.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

26.3 Pour la commodité du lecteur le numéro de référence du modèle d'antériorité et les numéros des broches sont indiqués. Certaines références se rapportent à un fabricant particulier pour éviter toute incertitude du fait de variantes possibles entre produits de plusieurs fabricants portant le même numéro.

26.4 Un opérateur donné peut être symbolisé de plusieurs façons (voir, par exemple, les symboles 12-28-10 et 12-28-11). Pour une meilleure compréhension du schéma, la complémentarité est souvent utile spécialement dans le cas d'opérateurs combinatoires; ainsi un opérateur OU est figuré par le symbole ET avec accès complémentés. Pour un schéma donné, le symbole est à choisir en fonction de l'application à laquelle se rapporte ce schéma (voir la Publication 113-7 de la CEI pour plus de détails).

SECTION 27 – OPÉRATEURS COMBINATOIRES

27.1 Convention

Le symbole distinctif de la fonction de l'opérateur indique le nombre d'entrées qui doivent occuper l'état interne 1 pour amener la sortie à l'état interne 1. En respectant cette règle, tout symbole distinctif peut être établi.

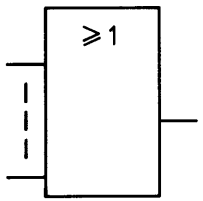
26.3 For the assistance of the reader pin numbers and type numbers have been shown. Where the type number implies the product of a specific manufacturer, this is done to avoid uncertainties caused by functional variations that sometimes occur between devices with the same type number made by different manufacturers.

26.4 A given element may be symbolized in more than one way depending on the purpose it serves in the system (e.g. symbols 12-28-10 and 12-28-11). Also, use is often made of the complementary representation especially of combinative elements to enhance the understanding of the diagram, for example an OR element is shown by the symbol for an AND but with negated inputs and outputs. In any case, the choice of the symbol should be governed by the relevant application of the element being shown on the diagram (see IEC Publication 113-7 for detailed information).

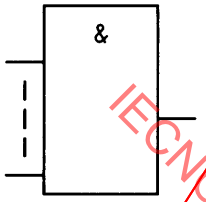
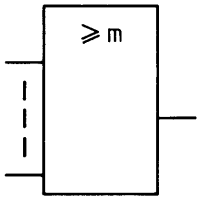
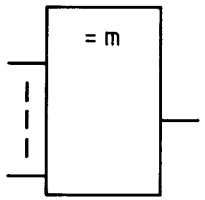
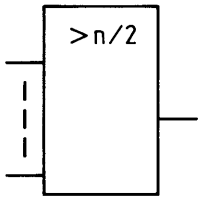
SECTION 27 – COMBINATIVE ELEMENTS

27.1 Convention

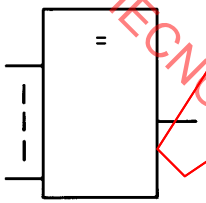
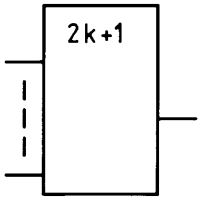
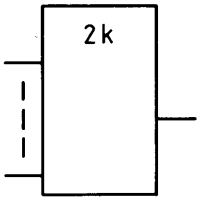
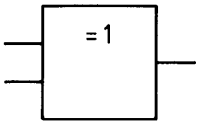
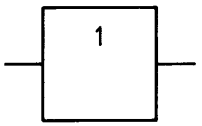
The qualifying symbol for the function of the element indicates the number of inputs which must take on the internal 1-state to cause the outputs to take on their internal 1-states. Subject to this rule, other qualifying symbols than those shown in this section may be developed.

No.	Symbole Symbol	Légende	Description
12-27-01		Opérateur OU, symbole général La sortie est dans l'état 1 si, et seulement si, une ou plusieurs entrées sont dans l'état 1. *Note.* – «≥1» peut être remplacé par «1» s'il n'y a pas risque d'ambiguïté.	OR element, general symbol The output stands at its 1-state if and only if one or more of the inputs stand at their 1-states. *Note.* – "≥1" may be replaced by "1" if no ambiguity arises.

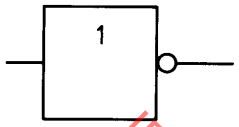
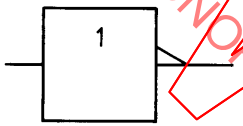
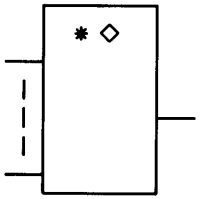
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-27-02		Opérateur ET, symbole général La sortie est dans l'état 1 si, et seulement si, toutes les entrées sont dans l'état 1.	AND element, general symbol The output stands at its 1-state if and only if all inputs stand at their 1-states.
12-27-03		Opérateur à SEUIL LOGIQUE, symbole général La sortie est dans l'état 1 si, et seulement si, le nombre d'entrées qui sont dans l'état 1 est supérieur ou égal au nombre marqué dans le symbole distinctif figuré ici par m. *Notes 1.* – m doit être toujours plus petit que le nombre d'entrées. *2.* – Un opérateur avec m = 1 est habituellement désigné OU (voir le symbole 12-27-01).	Logic threshold element, general symbol The output stands at its 1-state if and only if the number of inputs which stand at their 1-states is equal to or greater than the number in the qualifying symbol, represented here by m. *Notes 1.* – m shall always be smaller than the number of inputs. *2.* – An element with m = 1 is generally known as OR element (see symbol 12-27-01).
12-27-04		Opérateur m et seulement m, symbole général La sortie est dans l'état 1 si, et seulement si, le nombre d'entrées qui sont dans l'état 1 est égal au nombre marqué dans le symbole distinctif, figuré ici par m. La note 1 du symbole 12-27-03 est applicable. *Note.* – Un opérateur à deux entrées avec m = 1 est habituellement désigné OU-exclusif (voir le symbole 12-27-09).	m and only m element, general symbol The output stands at its 1-state if and only if the number of inputs which stand at their 1-states is equal to the number in the qualifying symbol, represented here by m. Note 1 with symbol 12-27-03 applies. *Note.* – A 2-input element with m = 1 is generally known as an exclusive-OR element (see symbol 12-27-09).
12-27-05		Opérateur de MAJORITÉ, symbole général La sortie est dans l'état 1 si, et seulement si, les entrées dans l'état 1 sont en majorité.	Majority element, general symbol The output stands at its 1-state if and only if the majority of the inputs stand at their 1-states.

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

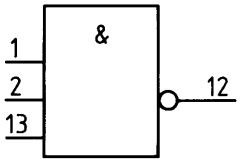
No.	Symbole Symbol	Légende	Description
12-27-06		Opérateur d'IDENTITÉ LOGIQUE, symbole général La sortie est dans l'état 1 si, et seulement si, toutes les entrées sont dans le même état logique.	LOGIC IDENTITY element, general symbol The output stands at its 1-state if and only if all inputs stand at the same logic state.
12-27-07		Opérateur d'IMPARITÉ } symbole général Opérateur d'ADDITION MODULO 2 } symbole général La sortie est dans l'état 1 si, et seulement si, le nombre des entrées dans l'état 1 est impair (1, 3, 5, etc.).	ODD element (ODD-parity element) } general symbol Addition modulo 2 element } general symbol The output stands at its 1-state if and only if the number of inputs which stand at their 1-states is odd (1, 3, 5, etc.).
12-27-08		Opérateur de PARITÉ, symbole général La sortie est dans l'état 1 si, et seulement si, le nombre des entrées dans l'état 1 est pair (0, 2, 4, etc.).	EVEN element (EVEN-parity element), general symbol The output stands at its 1-state if and only if the number of inputs which stand at their 1-states is even (0, 2, 4, etc.).
12-27-09		Opérateur OU exclusif La sortie est dans l'état 1 si une, et seulement une, des deux entrées est dans l'état 1. *Note.* – Pour un opérateur avec plus de deux entrées, l'un des symboles 12-27-04 avec m = 1 ou 12-27-07 est utilisable selon sa fonction.	Exclusive-OR element The output stands at its 1-state if one and only one of the two inputs stands at its 1-state. *Note.* – In the case of more than two inputs, either symbol 12-27-04 with m = 1 or symbol 12-27-07 shall be used depending on the function involved.
12-27-10		Opérateur OUI La sortie est dans l'état 1 si, et seulement si, l'entrée est dans l'état 1.	Buffer without specially amplified output The output stands at its 1-state if and only if the input stands at its 1-state.

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

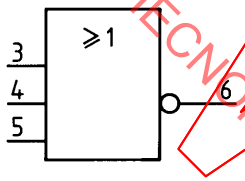
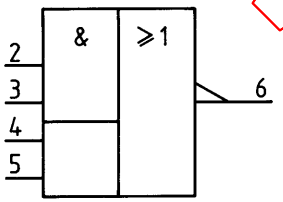
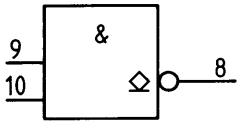
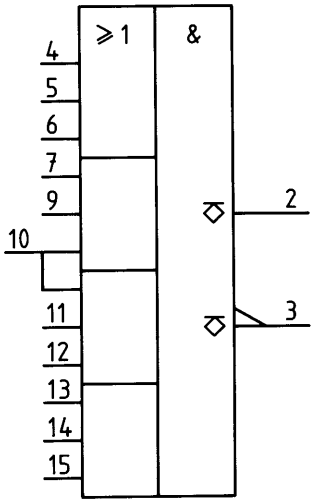
12-27-11		Opérateur NON INVERSEUR (à employer seulement dans un schéma utilisant le symbole de négation logique). La sortie est dans l'état externe 0 si, et seulement si, l'entrée est dans l'état externe 1.	Negator Inverter (in the case of device representation using the logic negation symbol). The output stands at its external 0-state if and only if the input stands at its external 1-state.
12-27-12		INVERSEUR (à employer seulement dans un schéma utilisant le symbole de polarité logique). La sortie est au niveau L si, et seulement si, l'entrée est au niveau H.	Inverter (in the case of device representation using the qualifying symbol for logic polarity). The output stands at its L-level if and only if the input stands at its H-level.
12-27-13		Opérateur FANTÔME, symbole général Un opérateur fantôme est réalisé par l'interconnexion de sorties spécifiques de plusieurs opérateurs, de façon à réaliser soit une opération ET soit une opération OU. *Note.* – L'astérisque doit être remplacé par le symbole distinctif (& ou ≥1). En variante du symbole général, un opérateur fantôme peut être représenté par l'un des symboles de jonction de conducteurs (03-02-04 et 03-02-05). Le symbole de la fonction réalisé (& ou ≥1) est figuré à chaque point de jonction des conducteurs. Ce symbole peut être omis s'il n'en résulte aucun risque de confusion.	Distributed connection Dot function Wired function } general symbol A distributed connection is a connection of specific outputs of a number of elements which are joined together to achieve either the AND- or the OR-function. *Note.* – The asterisk shall be replaced by the qualifying symbol for the function, i.e. & or ≥1. As an alternative to the use of the general symbol, a distributed connection may be shown by one of the symbols for a junction of conductors (03-02-04 and 03-02-05). At each point where lines are joined together the qualifying symbol for the function, i.e. & or ≥1, shall be shown unless no confusion can arise from its omission.

SECTION 28 – EXEMPLES D'OPÉRATEURS COMBINATOIRES

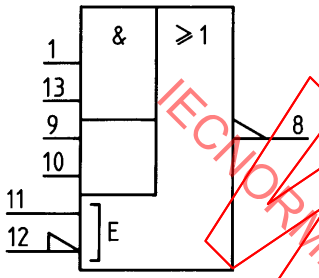
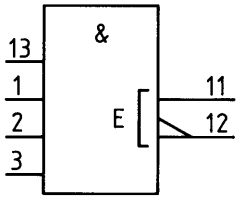
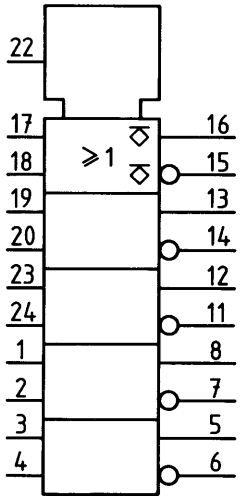
SECTION 28 – EXAMPLES OF COMBINATIVE ELEMENTS

No.	Symbole Symbol	Légende	Description
12-28-01		ET NON, exprimé par ET avec le symbole de négation à la sortie (modèle d'antériorité: une partie de SN 7410)	AND with negated output (NAND) (e.g. part of SN 7410)

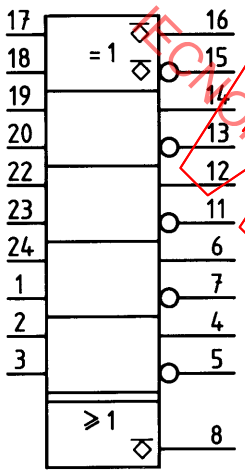
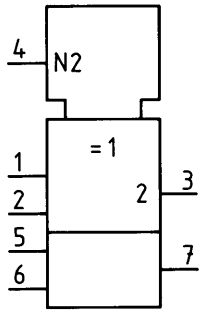
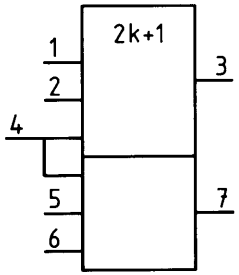
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983

No.	Symbole Symbol	Légende	Description
12-28-02		NI, exprimé par OU avec le symbole de négation à la sortie (modèle d'antériorité: une partie de SN 7427)	OR with negated output (NOR) (e.g. part of SN 7427)
12-28-03		Opérateur combiné ET-OU inversé en sortie (modèle d'antériorité: une partie de SN 74L51)	AND-OR-Invert (e.g. part of SN 74L51)
12-28-04		ET-NON avec sortie à circuit ouvert du type L (modèle d'antériorité: une partie de SN 7403)	NAND with open-circuit output of the L-type (e.g. part of SN 7403)
12-28-05		OU-ET avec sorties complémentaires à circuit ouvert du type H (modèle d'antériorité: MC 10121)	OR-AND with complementary open-circuit outputs of the H-type (e.g. MC 10121)

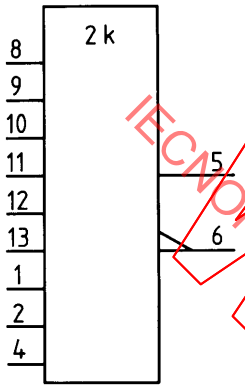
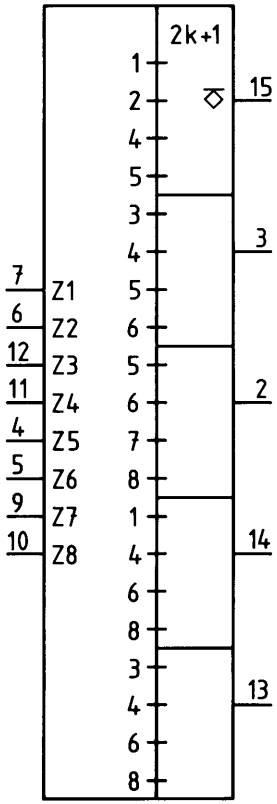
IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983

12-28-06		ET-OU inversé en sortie avec entrée d'expansion (modèle d'antériorité: une partie de SN 7450) *Note.* – Le symbole de groupement de liaison d'entrée (12-09-47) indique que deux fils sont nécessaires pour réaliser la seule connexion d'expansion.	AND-OR-Invert, expandable (e.g. part of SN 7450) *Note.* – The line grouping symbol (12-09-47) indicates that two wires are needed to implement the single extension connection.
12-28-07		Expanseur (modèle d'antériorité: une partie de SN 7460)	Expander (e.g. part of SN 7460)
12-28-08		OU/NI, quintuple, avec une entrée commune et des sorties complémentaires (modèle d'antériorité: F 100102)	OR, with one common input and with complementary outputs, quint (e.g. F 100102)

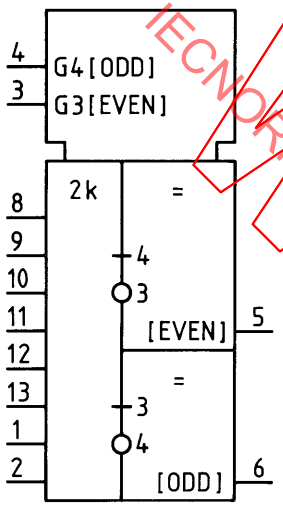
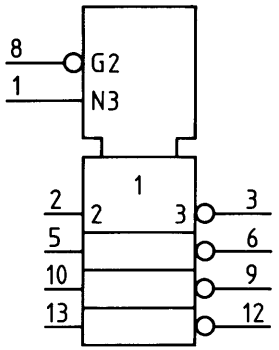
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-28-09		OU exclusif, quintuple, avec sorties complémentaires et une sortie commune (modèle d'antériorité: F 100107) *Note.* – Il n'est pas utile de préciser avec laquelle des deux sorties de chacun des 5 opérateurs une entrée de l'opérateur commun de sortie a une connexion interne, puisque l'état logique interne est le même pour les deux sorties (voir la section 6).	Exclusive-OR, with complementary outputs and one common output, quint (e.g. F 100107) *Note.* – One output of each of the five elements is internally connected to an input of the common output element. The internal logic state of this input corresponds with that of the output to which it is connected and does not depend on the choice of that output because both outputs of each element have identical internal logic states (see Section 6).
12-28-10		OU exclusif/NI, double (modèle d'antériorité: une partie de SN 74S135) *Note.* – Le symbole 12-28-11 représente le même opérateur de façon différente.	Exclusive-OR/NOR, dual (e.g. part of SN 74S135) *Note.* – Attention is drawn to the fact that symbol 12-28-11 depicts the same device in another way.
12-28-11		Opérateur d'IMPARITÉ, double, avec une entrée commune (modèle d'antériorité: une partie de SN 74S135) *Note.* – Le symbole 12-28-10 représente le même opérateur de façon différente.	ODD element, with one common input, dual (e.g. part of SN 74S135) *Note.* – Attention is drawn to the fact that symbol 12-28-10 depicts the same device in another way.

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-28-12		Générateur/contrôleur de parité avec sorties complémentaires (modèle d'antériorité: SN 74280)	Parity generator/checker with complementary outputs (e.g. SN 74280)
12-28-13		Détecteur/correcteur d'erreur (modèle d'antériorité: MC 10163)	Error detection/correction element (e.g. MC 10163)

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-28-14		Générateur/contrôleur de parité ou d'imparité (modèle d'antériorité: SN 74180)	Parity generator/checker, odd/even (e.g. SN 74180)
12-28-15		Opérateur donnant l'identité ou le complément, quadruple (modèle d'antériorité: SN 74H87)	True/complement, zero/one element, quad (e.g. SN 74H87)

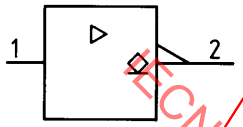
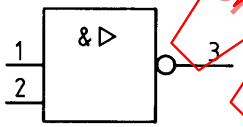
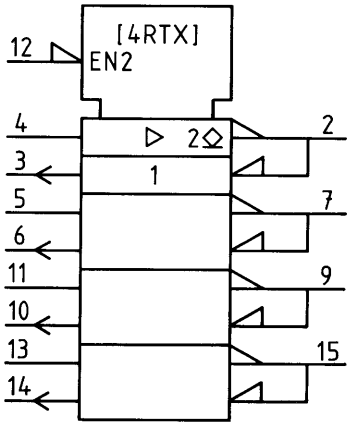
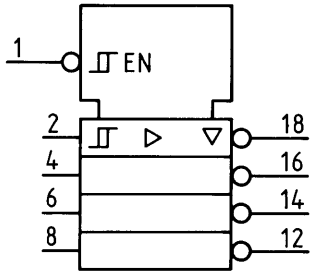
SECTION 29 – EXEMPLES D'AMPLIFICATEURS, ÉMETTEURS ET RÉCEPTEURS

29.1 Le symbole d'amplificateur (10-15-01) peut être combiné avec d'autres symboles de fonction comme figuré dans la présente section.

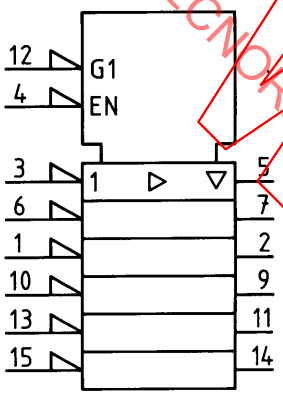
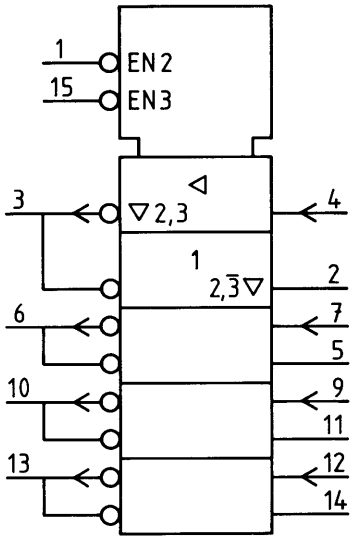
SECTION 29 – EXAMPLES OF BUFFERS, DRIVERS AND RECEIVERS

29.1 The symbol for an amplifier (10-15-01) may be combined with other symbols for functions, as shown in this section.

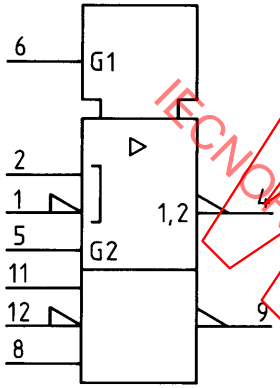
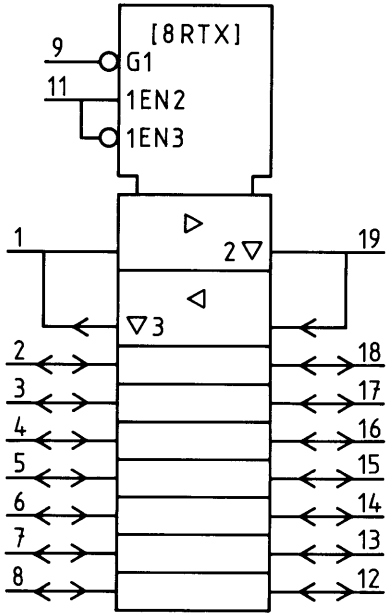
IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-29-01		Inverseur avec sortie amplifiée, à sortie à circuit ouvert du type L (modèle d'antériorité: une partie de SN 7406)	Buffer/driver with inverted open-circuit output of the L-type (e.g. part of SN 7406)
12-29-02		ET NON avec sortie amplifiée (modèle d'antériorité: une partie de SN 7437)	NAND buffer (e.g. part of SN 7437)
12-29-03		Emetteur-récepteur pour liaison multiple, quadruple (modèle d'antériorité: Am 26S10) *Note.* – Les symboles distinctifs des opérateurs et ceux des accès des deux cadres formant le premier élément du groupement ne sont pas représentés dans les autres éléments selon la section 6.	Bus transceiver, quad (e.g. Am 26S10) *Note.* – The general qualifying symbols and those associated with the inputs and outputs of the two outlines forming the first element of the array have been omitted from the remaining elements of the array in accordance with Section 6.
12-29-04		Amplificateur à entrée à seuils et sortie 3 états pour multiplet, quadruple (modèle d'antériorité: une partie de SN 74S240)	Bus driver with bi-threshold inputs and 3-state outputs, quad (e.g. part of SN 74S240)

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-29-05		Amplificateur inverseur avec sortie 3 états, sextuple (modèle d'antériorité: CD 4502B)	Buffer, inverting, with 3-state outputs, hex (e.g. CD 4502B)
12-29-06		Amplificateur bilatéral, quadruple (modèle d'antériorité: 8226) *Note.* – L'entrée 1 peut être marquée EN (symbole 12-09-11) sans notation de dépendance, les 3 numéros d'identification 2 étant alors supprimés.	Bus driver, bidirectional, quad (e.g. 8226) *Note.* – Pin 1 could be labelled as en EN-input (symbol 12-09-11) without dependency notation, that is, the identifying number 2 may be omitted at three places inside the outline.

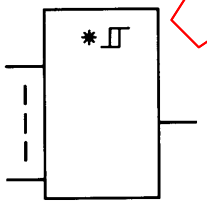
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-29-07		Récepteur de ligne, double (modèle d'antériorité: SN 75107)	Line receiver, dual (e.g. SN 75107)
12-29-08		Amplificateur bilatéral, 8 bit parallèles (modèle d'antériorité: 8286)	Bus driver, bidirectional, 8-bit parallel (e.g. 8286)

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

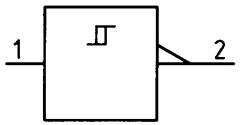
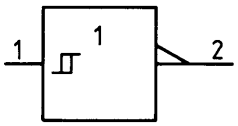
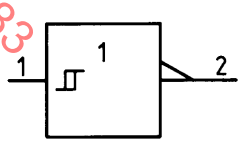
SECTION 30 – OPÉRATEURS À HYSTÉRÉSIS

SECTION 30 – ELEMENTS WITH HYSTERESIS

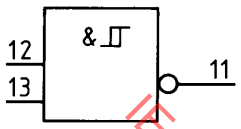
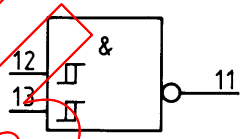
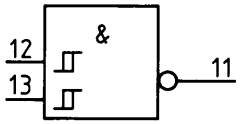
No.	Symbole Symbol	Légende	Description
12-30-01		Opérateur à hystérésis, symbole général Le symbole distinctif d'hystérésis, ⎍, indique que les caractéristiques d'entrée-sortie d'un opérateur présentent un phénomène d'hystérésis, comme décrit au symbole 12-09-02. L'astérisque doit être remplacé par le symbole distinctif de la fonction logique de l'opérateur. Si celui-ci est le chiffre 1 (du symbole 12-27-10), il est à omettre.	Element with hysteresis, general symbol When used within an element as a general qualifying symbol, the hysteresis symbol, ⎍, designates an element whose overall input/output characteristics include hysteresis as described by symbol 12-09-02. The asterisk must be replaced by a general qualifying symbol designating the logic function of the element unless that qualifying symbol is the numeral 1 (of symbol 12-27-10) in which case it shall be omitted.

SECTION 31 – EXEMPLES D'OPÉRATEURS À HYSTÉRÉSIS

SECTION 31 – EXAMPLES OF ELEMENTS WITH HYSTERESIS

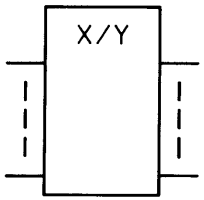
No.	Symbole Symbol	Légende	Description
12-31-01		Opérateur à seuils avec sortie inversée Trigger de Schmitt inversé Inverseur à hystérésis (modèle d'antériorité: une partie de SN 74LS14) *Note.* – En accord avec la légende du symbole 12-09-02, le symbole 12-31-01 est équivalent à: 	Bi-threshold detector with inverted output Schmitt-trigger inverter Inverter with hysteresis (e.g. part of SN 74LS14) *Note.* – In accordance with the description of symbol 12-09-02, symbol 12-31-01 is equivalent to: 

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-31-02		Trigger de Schmitt ET-NON ET-NON à hystérésis (modèle d'antériorité: une partie de SN 74132) La sortie prend l'état interne 1 seulement quand le niveau de chaque entrée atteint le seuil V1 (voir la légende du symbole 12-09-02). Elle conserve l'état interne 1 jusqu'à ce que le niveau appliqué à l'une des entrées atteigne le seuil V2. *Note.* – Ce symbole n'est pas équivalent à: 	NAND Schmitt-trigger NAND with hysteresis (e.g. part of SN 74132) The output takes on its internal 1-state only when the external level applied to each input reaches its V1 threshold (see description of symbol 12-09-02). The output will maintain the internal 1-state until the external level applied to one of its inputs reaches its V2 threshold. *Note.* – This symbol is not equivalent to: 

SECTION 32 – CONVERTISSEURS DE CODE, TRANSCODEURS

SECTION 32 – CODERS, CODE CONVERTERS

No.	Symbole Symbol	Légende	Description
12-32-01		Convertisseur de code, symbole général Transcodeur, symbole général *Note.* – X et Y peuvent être remplacés par des indications respectivement représentatives de l'information à l'entrée et de l'information à la sortie.	Coder, general symbol Code converter, general symbol *Note.* – X and Y may be replaced by appropriate indications of the code used to represent the information at the inputs and at the outputs respectively.

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

32.1 Relation entre entrées et sorties des codeurs

32.1.1 L'indication de conversion de code est basée sur les règles suivantes:

– Les états logiques internes des entrées déterminent un nombre interne selon le code d'entrée. Ce nombre interne est reproduit par les états logiques internes des sorties selon le code de sortie.

La relation entre les états logiques des entrées et le nombre interne est indiquée:

– soit en marquant des nombres aux entrées. Dans ce cas le nombre interne est la somme des nombres marqués aux entrées étant dans leur état interne 1;

– soit en remplaçant X par une indication appropriée du code d'entrée et en marquant aux entrées des caractères se rapportant à ce code.

Les relations entre le nombre interne et les états logiques internes des sorties sont indiquées:

– soit en marquant à chaque sortie la liste des nombres internes pour lesquels cette sortie est dans l'état interne 1. Ces nombres internes doivent être séparés par des barres inclinées. Ce marquage peut aussi être appliqué lorsque Y est remplacé par une lettre indiquant un type de dépendance (voir aussi la section 24). Lorsqu'une suite continue de nombres internes produit l'état 1 d'une sortie on peut marquer, séparés par trois points, le premier et le dernier nombre de cette suite, soit

$$4 \ldots 9 = 4/5/6/7/8/9$$

– soit en remplaçant Y par une indication appropriée du code de sortie et en marquant aux sorties des caractères se rapportant à ce code.

32.1 Relation between inputs and outputs of coders

32.1.1 Indication of code conversion is based on the following rule:

– Depending on the input code the internal logic states of the inputs determine an internal number. This internal number is reproduced by the internal logic states of the outputs, depending on the output code.

The relationship between the internal logic states of the inputs and the internal number is indicated either by:

– labelling the inputs with numbers, in which case the internal number equals the sum of the numbers associated with those inputs which stand at their internal 1-states;

or by:

– replacing X by an appropriate designation of the input code and labelling the inputs with characters which refer to this code.

The relationships between the internal number and the internal logic states of the outputs are indicated either by:

– labelling each output with a list of those internal numbers which lead to the internal 1-state of that output. These internal numbers shall be separated by solidi. This labelling may also be applied when Y is replaced by a letter denoting a type of dependency (see also Section 24). If a continuous range of internal numbers produces the internal 1-state of an output, this can be indicated by two numbers that are inclusively the beginning and the end of the range, with these two numbers separated by three dots, for example:

$$4 \ldots 9 = 4/5/6/7/8/9$$

or by:

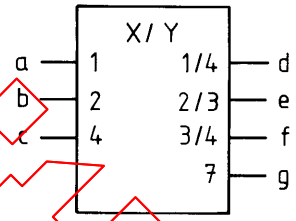
– replacing Y by an appropriate indication of the output code and labelling the outputs with characters which refer to this code.

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

Illustrations

La sortie d est dans l'état interne 1 pour les combinaisons suivantes des états logiques internes des entrées a, b et c:

a = 1 b = 0 c = 0
a = 0 b = 0 c = 1

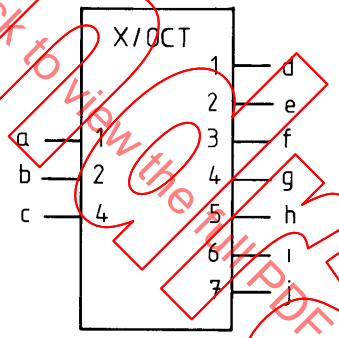


Output d stands at its internal 1-state for the following combinations of internal logic states at inputs a, b and c:

a = 1 b = 0 c = 0
a = 0 b = 0 c = 1

La sortie h est dans l'état interne 1 pour la combinaison suivante des états logiques internes des entrées a, b et c:

a = 1 b = 0 c = 1

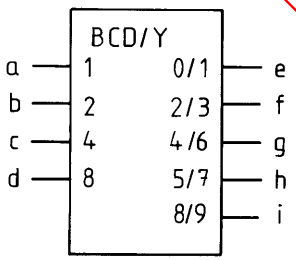


Output h stands at its internal 1-state for the following combination of internal logic states at inputs a, b and c:

a = 1 b = 0 c = 1

La sortie i est dans l'état interne 1 pour les combinaisons suivantes des états logiques internes des entrées a, b, c et d:

a = 0 b = 0 c = 0 d = 1
a = 1 b = 0 c = 0 d = 1



Output i stands at its internal 1-state for the following combinations of internal logic states at inputs a, b, c and d:

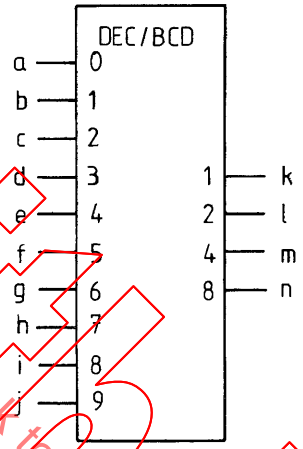
a = 0 b = 0 c = 0 d = 1
a = 1 b = 0 c = 0 d = 1

(Suite à la page suivante)

(Continued overleaf)

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

Si l'entrée j est dans l'état interne 1, les sorties k et n sont dans l'état interne 1.



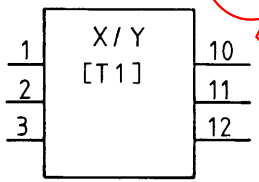
If input j stands at its internal 1-state, outputs k and n stand at their internal 1-states.

32.1.2 On peut aussi utiliser le symbole général avec une référence appropriée renvoyant à une table dans laquelle les relations entre entrées et sorties sont données. L'indication des accès correspondant aux colonnes de cette table peut être faite par un moyen convenable, par exemple par l'emploi des numéros de broche. Dans ce cas, tout marquage intérieur qui pourrait prêter à confusion avec une des autres méthodes (comme l'indication des codes) doit être évité.

32.1.2 Alternatively, the general symbol may be used together with an appropriate reference to a table in which the relationship between the inputs and outputs is indicated. The correspondence between inputs [outputs] and the columns in the table may be given in any convenient way, for example by using pin numbers. In this case any internal labelling which might be confused with that arising in one of the other methods must be avoided.

T1

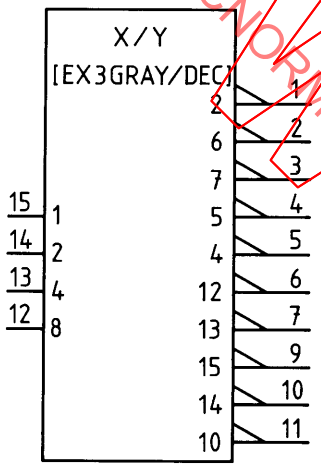
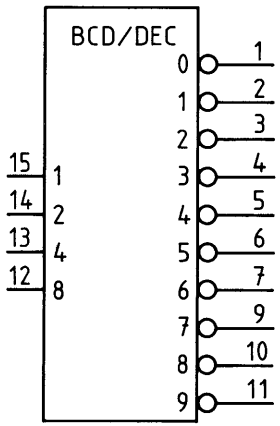
Entrées			Sorties		
1	2	3	10	11	12
0	0	0	1	0	0
0	0	1	0	0	0
0	1	0	0	1	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	0	0	1
1	1	1	0	0	0



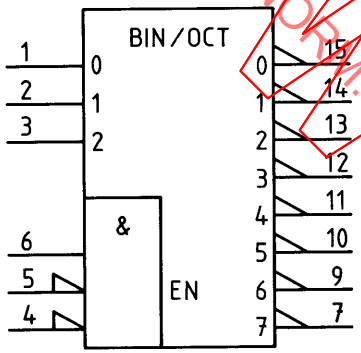
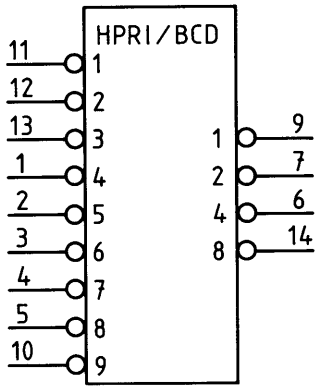
T1

Inputs			Outputs		
1	2	3	10	11	12
0	0	0	1	0	0
0	0	1	0	0	0
0	1	0	0	1	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	0	0	1
1	1	1	0	0	0

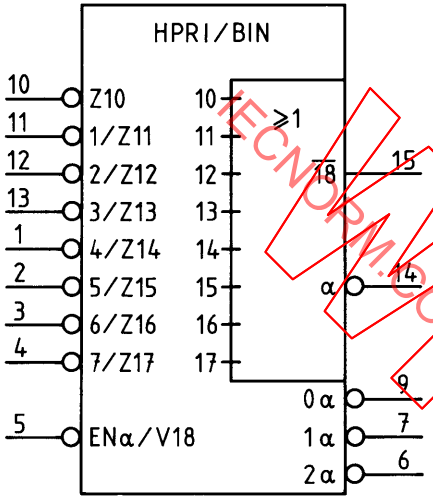
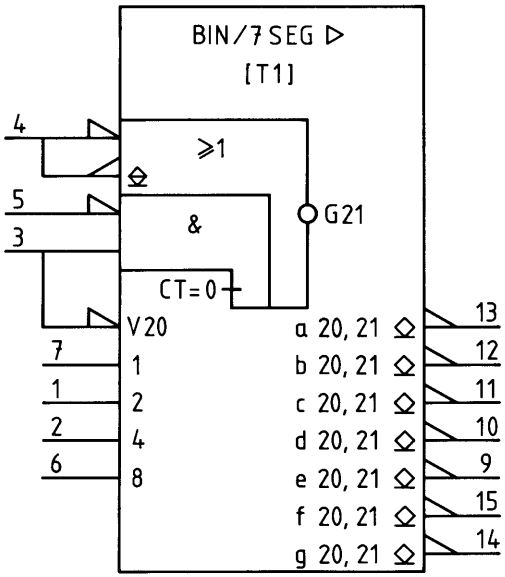
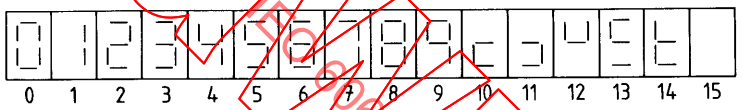
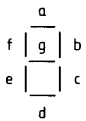
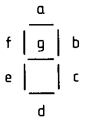
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-33-01		Convertisseur de code Gray-excès de 3 en code décimal (mode d'antériorité: SN 7444) *Note.* – Du fait qu'il n'est pas possible de marquer les entrées de poids correspondant au code Gray excès de 3, le symbole général de convertisseur de code figure conformément à la première solution des deuxième et troisième alinéas du paragraphe 32.1.1.	Code converter, excess-3 Gray-to-decimal (e.g. SN 7444) *Note.* – Because it is not possible to label the inputs with characters referring to the excess-3-Gray code, the general symbol for a coder is shown here in accordance with the first alternative of the second and the third paragraphs of Sub-clause 32.1.1.
12-33-02		Convertisseur de code BCD en code décimal (modèle d'antériorité: SN 7442)	Code converter, BCD-to-decimal (e.g. SN 7442)

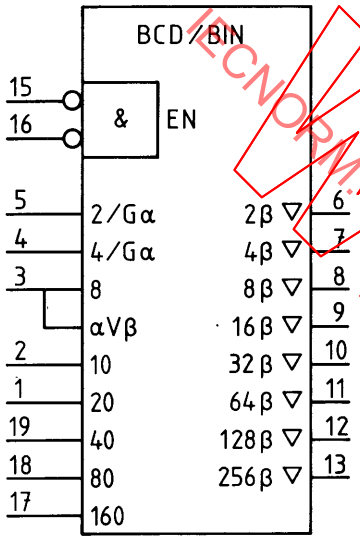
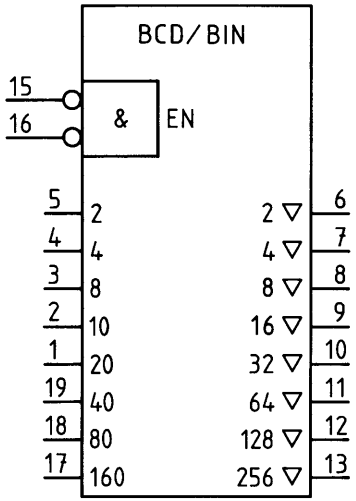
IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983

No.	Symbole Symbol	Légende	Description
12-33-03		Convertisseur de code trois vers huit (modèle d'antériorité: SN 74LS138) *Note.* – Le symbole 12-37-04 représente le même opérateur de façon différente.	Code converter, three-to-eight-line (e.g. SN 74LS138) *Note.* – Attention is drawn to the fact that symbol 12-37-04 depicts the same device in another way.
12-33-04		Codeur de priorité 9 à 4 (modèle d'antériorité: SN 74147)	Highest priority encoder, encoding 9 data lines to 4-line BCD (e.g. SN 74147)

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

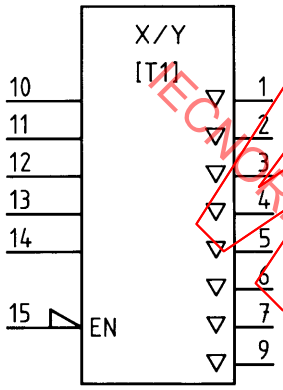
12-33-05		Codeur de priorité 8 à 3 (modèle d'antériorité: SN 74148)	Highest priority encoder, encoding 8 data lines to 3-line binary (octal) (e.g. SN 74148)
12-33-06		Décodeur/amplificateur du code BCD vers le code 7 segments (modèle d'antériorité: SN 74L47) *Note.* – Cet exemple illustre l'emploi du symbole de polarité logique aux accès externes conjointement à l'emploi du symbole de négation logique à une connexion interne (voir la section 7). Table T1 des chiffres affichés:  Affichages correspondant aux valeurs numériques Identification des segments: 	Decoder/driver, BCD-to-seven-segment (e.g. SN 74L47) *Note.* – This example shows the use of the polarity indicator at external connections together with the use of the negation indicator at internal connections (see Section 7). Font Table T1: Numerical designations and resultant displays Segment identification: 

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-33-07		Convertisseur de code BCD en code binaire (modèle d'antériorité: SN 74S484)	Code converter, BCD-to-binary (e.g. SN 74S484)
12-33-08	Forme simplifiée Simplified form 		

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-33-09



Convertisseur de code programmé
(modèle d'antériorité TBP 18S030, précédemment SN 74S288)

Les relations entrée–sortie proviennent d'une mémoire PROM (ou ROM).

«T1» se réfère à une table ou à des équations booléennes, décrivant la fonction logique de l'opérateur, par exemple:

T1

Entrées					Sorties (opérateur validé)							
14	13	12	11	10	9	7	6	5	4	3	2	1
L	L	L	–	–	H	L	H	L	L	L	L	L
L	L	H	L	L	H	L	H	L	L	L	L	L
L	L	H	L	H	H	L	H	L	L	L	L	H
L	L	H	H	–	H	H	L	L	L	L	L	H
L	H	L	L	L	H	L	H	L	L	L	L	L
L	H	L	L	H	H	L	H	L	L	L	H	L
L	H	L	H	–	H	H	L	L	L	L	H	L
L	H	H	L	L	H	L	H	L	L	L	L	L
L	H	H	L	H	H	L	H	L	L	H	L	L
L	H	H	H	–	H	H	L	L	L	H	L	L
H	L	L	–	–	L	L	H	L	L	L	L	L
H	L	H	–	–	L	L	H	L	H	L	L	H
H	H	L	–	–	L	L	H	H	L	L	H	L
H	H	H	–	–	L	L	H	H	H	H	L	L

– = quelconque (sans importance)

Coder for arbitrary code
(e.g. TBP 18S030, formerly SN 74S288)

The combinative relationships between inputs and outputs are implemented in a PROM (or a ROM).

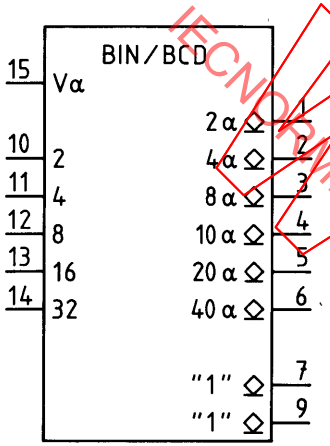
"T1" refers to a table (or to Boolean equations) showing the logic function of the device, for example:

T1

Inputs					Outputs (with device enabled)							
14	13	12	11	10	9	7	6	5	4	3	2	1
L	L	L	–	–	H	L	H	L	L	L	L	L
L	L	H	L	L	H	L	H	L	L	L	L	L
L	L	H	L	H	H	L	H	L	L	L	L	H
L	L	H	H	–	H	H	L	L	L	L	L	H
L	H	L	L	L	H	L	H	L	L	L	L	L
L	H	L	L	H	H	L	H	L	L	L	H	L
L	H	L	H	–	H	H	L	L	L	L	H	L
L	H	H	L	L	H	L	H	L	L	L	L	L
L	H	H	L	H	H	L	H	L	L	H	L	L
L	H	H	H	–	H	H	L	L	L	H	L	L
H	L	L	–	–	L	L	H	L	L	L	L	L
H	L	H	–	–	L	L	H	L	H	L	L	H
H	H	L	–	–	L	L	H	H	L	L	H	L
H	H	H	–	–	L	L	H	H	H	H	L	L

– = irrelevant (don't care)

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-33-10		Convertisseur de code binaire en code BCD (modèle d'antériorité: SN 74185)	Code converter, binary-to-BCD (e.g. SN 74185)

SECTION 34 – CONVERTISSEUR DE NIVEAU DE SIGNAL AVEC OU SANS SÉPARATION GALVANIQUE

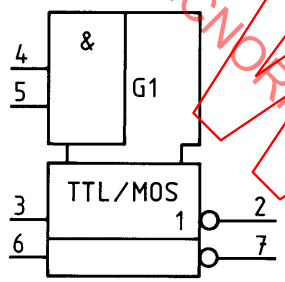
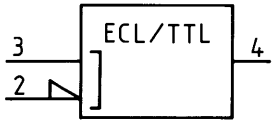
SECTION 34 – SIGNAL-LEVEL CONVERTERS WITH OR WITHOUT GALVANIC SEPARATION

No.	Symbole Symbol	Légende	Description
12-34-01	Utiliser symbole 12-32-01 Use symbol 12-32-01	Convertisseur de niveau de signal, symbole général Les références de niveau de signal peuvent être écrites à l'intérieur du rectangle et doivent remplacer X et Y s'il y a le risque de confusion avec le codeur. *Note.* – Le symbole distinctif de l'opérateur X/Y peut être remplacé par X//Y lorsqu'il est nécessaire d'indiquer l'existence d'une séparation galvanique entre entrées et sorties.	Signal-level converter, general symbol The level references may be shown inside the symbol and shall replace X and Y if confusion with the coder can arise. *Note.* – The general qualifying symbol X/Y may be replaced by X//Y if it is necessary to indicate galvanic separation between the inputs and outputs.

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

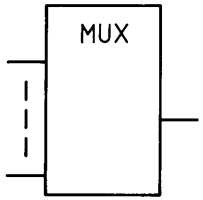
SECTION 35 – EXEMPLES DE CONVERTISSEURS DE NIVEAU DE SIGNAL

SECTION 35 – EXAMPLES OF SIGNAL-LEVEL CONVERTERS

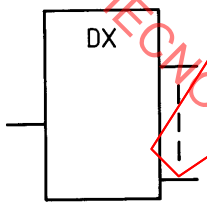
No.	Symbole Symbol	Légende	Description
12-35-01		Convertisseur de niveaux TTL en niveaux MOS, double (modèle d'antériorité: une partie de SN 75365)	Level converter, TTL-to-MOS, dual (e.g. part of SN 75365)
12-35-02		Convertisseur de niveaux ECL en niveaux TTL (modèle d'antériorité: une partie de MC 10125)	Level converter, ECL-to-TTL (e.g. part of MC 10125)

SECTION 36 – MULTIPLEXEURS ET DÉMULTIPLEXEURS

SECTION 36 – MULTIPLEXERS AND DEMULTIPLEXERS

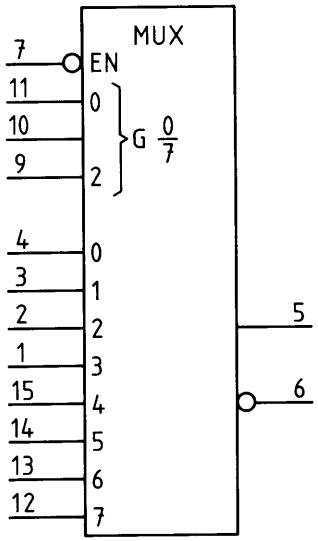
No.	Symbole Symbol	Légende	Description
12-36-01		Multiplexeur, symbole général Si une entrée est sélectionnée, la sortie prend le même état logique interne que cette entrée. Si aucune entrée n'est sélectionnée, la sortie reste à l'état interne 0. *Note.* – Les entrées et les relations logiques qui commandent la sélection doivent figurer, en représentant également ces entrées et leurs notations de dépendance soit dans le cadre du symbole soit dans un symbole des communs.	Multiplexer, general symbol If one input of a multiplexer is selected, the internal logic state of the output takes on the internal state of the selected input. If no input is selected, the output stands at its internal 0-state. *Note.* – The inputs and logic relationships that control the selecting action must also be shown, for example by showing those inputs and the associated dependency notation either within the element or within a common control block.

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

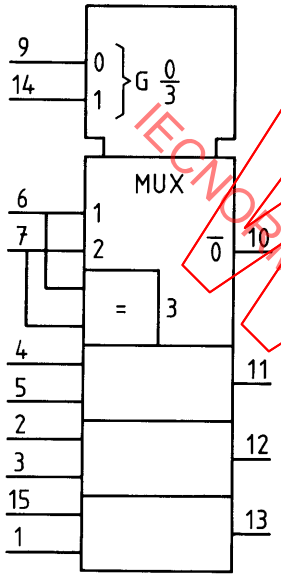
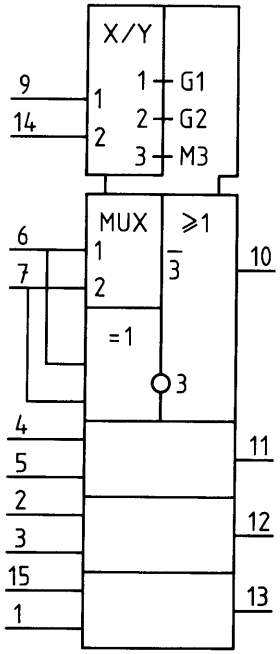
No.	Symbole Symbol	Légende	Description
12-36-02		Démultiplexeur, symbole général Si une sortie est sélectionnée, son état logique interne prend l'état logique interne de l'entrée. En cas contraire, la sortie prend l'état interne 0. La note du symbole 12-36-01 est applicable. *Note.* – Si une confusion peut se produire, DX peut être remplacé par DMUX.	Demultiplexer, general symbol If an output of a demultiplexer is selected, the internal logic state of that output takes on the internal logic state of the input. Otherwise, the output takes on its internal 0-state. The note with symbol 12-36-01 applies. *Note.* – If confusion can arise, DX may be replaced by DMUX.

SECTION 37 – EXEMPLES DE MULTIPLEXEURS ET DÉMULTIPLEXEURS

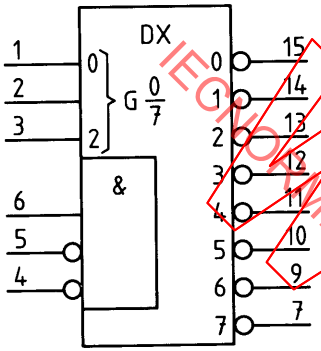
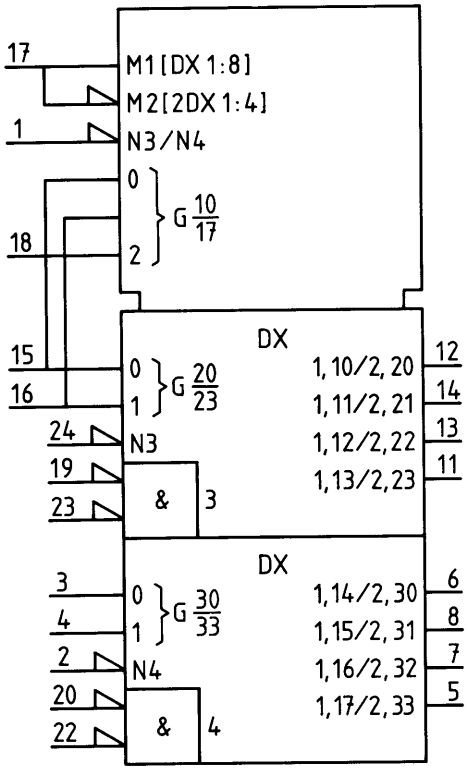
SECTION 37 – EXAMPLES OF MULTIPLEXERS AND DEMULTIPLEXERS

No.	Symbole Symbol	Légende	Description
12-37-01		Multiplexeur à 8 entrées (modèle d'antériorité: SN 74151)	Multiplexer (one-of-eight) (e.g. SN 74151)

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-37-02		Multiplexeur, quadruple (modèle d'antériorité: MC 14519) *Notes 1.* – $\overline{0}$ est facultatif (voir la légende du symbole 12-36-01). *2.* – Le symbole 12-37-03 représente le même opérateur de façon différente.	Multiplexer, quad (e.g. MC 14519) *Notes 1.* – $\overline{0}$ is optional (see description of symbol 12-36-01). *2.* – Attention is drawn to the fact that symbol 12-37-03 depicts the same device in another way.
12-37-03		NI exclusif, quadruple (modèle d'antériorité: MC 14519) *Note.* – Le symbole 12-37-02 représente le même opérateur de façon différente.	Exclusive NOR, quad (e.g. MC 14519) *Note.* – Attention is drawn to the fact that symbol 12-37-02 depicts the same device in another way.

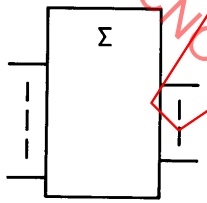
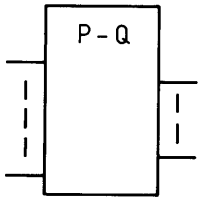
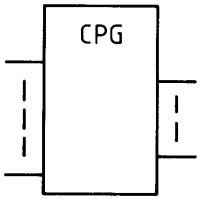
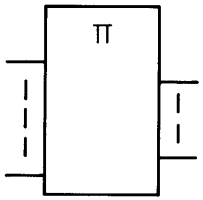
IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983

No.	Symbole Symbol	Légende	Description
12-37-04		Démultiplexeur à 8 lignes (modèle d'antériorité: SN 74LS138) *Note.* – Le symbole 12-33-03 représente le même opérateur de façon différente.	Demultiplexer (one-to-eight) (e.g. SN 74LS138) *Note.* – Attention is drawn to the fact that symbol 12-33-03 depicts the same device in another way.
12-37-05		Démultiplexeur/décodeur universel, double (modèle d'antériorité: F 100170) *Notes 1.* – Pour réaliser correctement la fonction DX1:8, il est nécessaire d'établir une connexion extérieure entre les broches 19 et 20 d'une part et les broches 22 et 23 d'autre part. *2.* – Le symbole pour sortie à circuit ouvert (symbole 12-09-04) n'est pas figuré dans cet exemple.	Demultiplexer/decoder, universal, dual (e.g. F 100170) *Notes 1.* – In order to perform the function DX1:8 correctly, it is necessary to make an external connection between pins 19 and 20, and also between pins 22 and 23. *2.* – The symbol for open-circuit output (symbol 12-09-04) is not shown in this example.

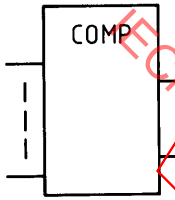
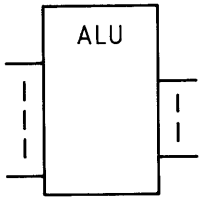
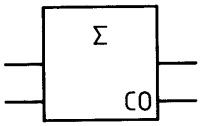
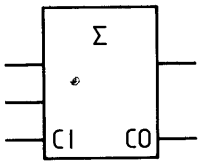
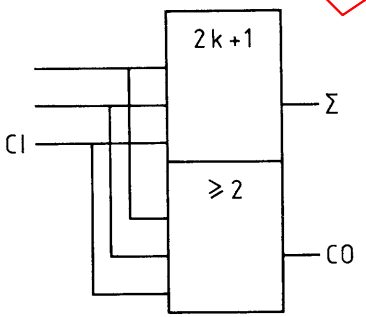
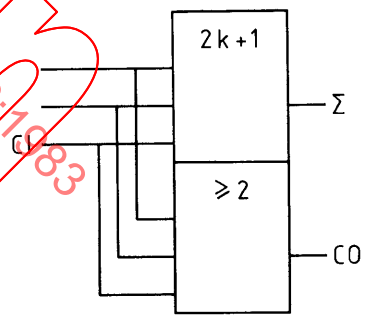
IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

SECTION 38 – OPÉRATEURS ARITHMÉTHIQUES

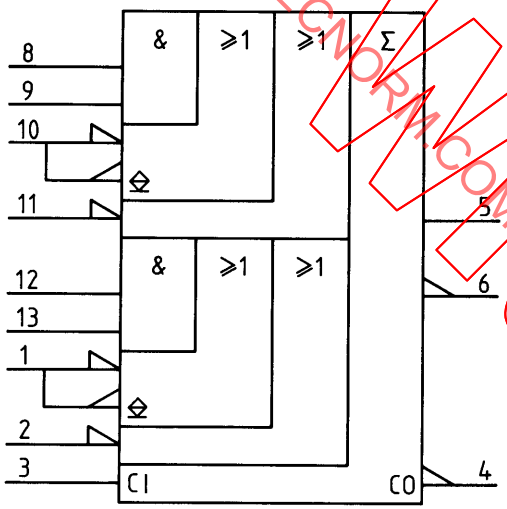
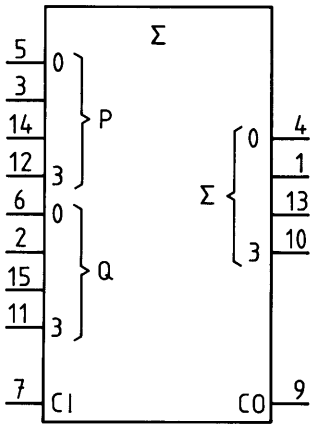
SECTION 38 – ARITHMETIC ELEMENTS

No.	Symbole Symbol	Légende	Description
12-38-01		Additionneur, symbole général	Adder, general symbol
12-38-02		Soustracteur, symbole général	Subtractor, general symbol
12-38-03		Générateur de retenue anticipée (engendrée et propagée), symbole général	Look-ahead carry generator (carry propagate and generate), general symbol
12-38-04		Multiplicateur, symbole général	Multiplier, general symbol

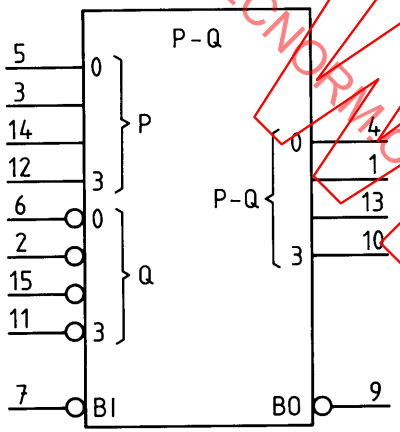
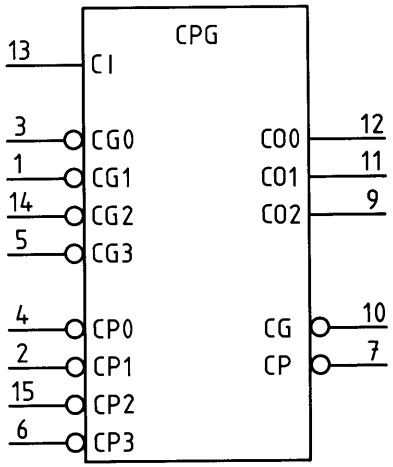
IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-38-05		Comparateur arithmétique, symbole général Un comparateur, faisant partie d'une cascade, est réputé traiter une partie de la comparaison des poids faibles vers les poids forts sauf si une autre indication, telle que [H-L], est placée sous le symbole «COMP».	Magnitude comparator, general symbol A cascadable comparator is assumed to implement a portion of a comparison that proceeds from lower to higher order, unless otherwise indicated, for example by "[H-L]" placed below the qualifying symbol "COMP".
12-38-06		Opérateur logique et arithmétique, symbole général Une information complémentaire doit être ajoutée au symbole distinctif pour préciser la fonction de l'opérateur (comme exemple, voir le symbole 12-39-10)	Arithmetic logic unit, general symbol Supplementary information shall be added to the general qualifying symbol to specify the function of the element (see e.g. symbol 12-39-10).
12-38-07		Demi-additionneur	Half adder
12-38-08		Additionneur complet à un seul bit *Note.* – Un additionneur complet simple à un bit peut aussi être représenté par la combinaison du symbole de l'opérateur d'IMPARITÉ et de celui de l'opérateur à seuil, comme il est montré ci dessous: 	Single-bit full adder *Note.* – A simple single-bit full adder may alternatively be depicted by the combination of the symbol for the ODD element (modulo 2 adder) and the logic threshold element as shown below: 

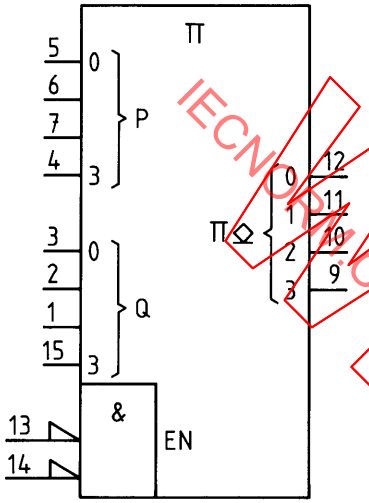
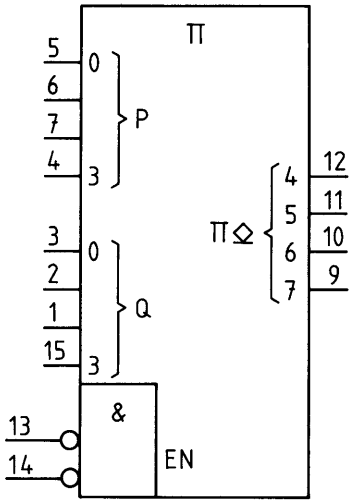
IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-39-01		Additionneur complet à 1 bit avec des sorties complémentaires pour la somme et une sortie inversée de la retenue (modèle d'antériorité: SN 7480)	Single-bit full adder with complementary sum outputs and inverted carry output (e.g. SN 7480)
12-39-02		Additionneur complet à 4 bit (modèle d'antériorité: SN 74283) *Note.* – Le symbole 12-39-03 représente le même opérateur de façon différente.	Full adder, 4-bit (e.g. SN 74283) *Note.* – Attention is drawn to the fact that symbol 12-39-03 depicts the same device in another way.

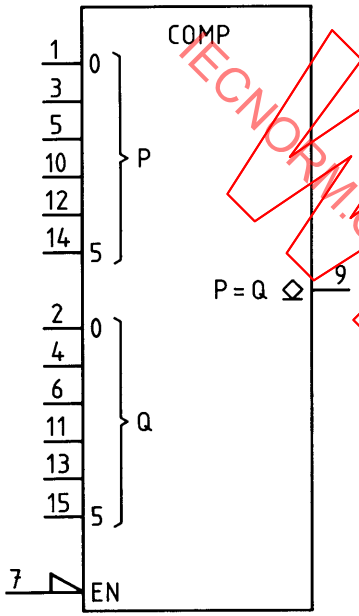
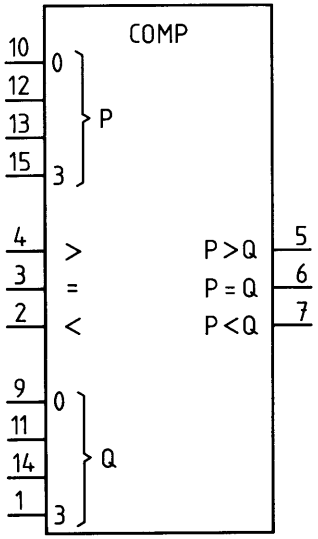
IECNORMCOM: Click to view the full PDF of IEC 60617-12:1983

No.	Symbole Symbol	Légende	Description
12-39-03		Soustracteur complet à 4 bit (modèle d'antériorité: SN 74283) *Note.* – Le symbole 12-39-02 représente le même opérateur de façon différente.	Full subtractor, 4-bit (e.g. SN 74283) *Note.* – Attention is drawn to the fact that symbol 12-39-02 depicts the same device in another way.
12-39-04		Générateur de retenue anticipée à 4 bit (modèle d'antériorité: SN 74182)	Look-ahead carry generator, 4-bit (e.g. SN 74182)

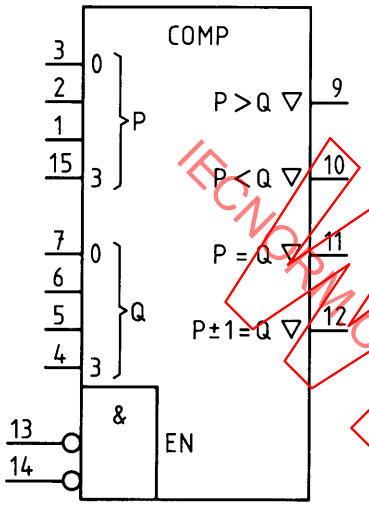
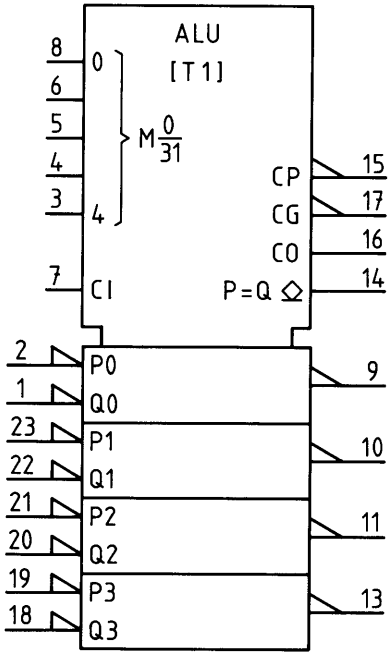
IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-39-05		Multiplicateur parallèle à 4 bit produisant seulement les 4 bit les moins significatifs du produit (modèle d'antériorité: SN 74285)	Multiplier, 4-bit parallel, generating the four least significant bits of the product (e.g. SN 74285)
12-39-06		Multiplicateur parallèle à 4 bit produisant seulement les 4 bit les plus significatifs du produit (modèle d'antériorité: SN 74284)	Multiplier, 4-bit parallel, generating the four most significant bits of the product (e.g. SN 74284)

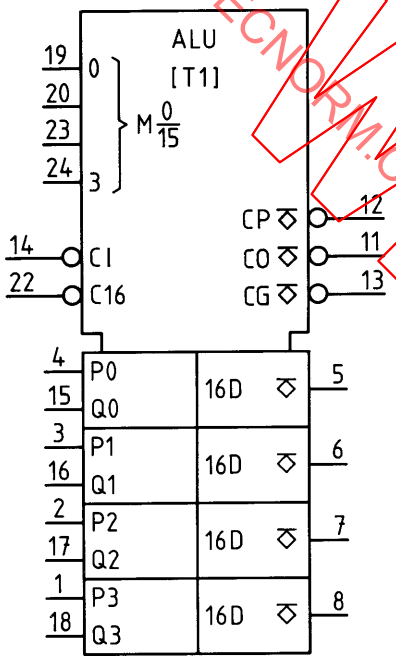
IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-39-07		Comparateur numérique à 6 bit avec sortie à circuit ouvert du type L (modèle d'antériorité: DM 7160)	Magnitude comparator with open-circuit output of the L-type, 6-bit (e.g. DM 7160)
12-39-08		Comparateur numérique de deux mots de 4 bit avec entrées pour montage en cascade (modèle d'antériorité: SN 7485)	Magnitude comparator with cascading inputs, 4-bit (e.g. SN 7485)

IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

12-39-09		Comparateur numérique à 4 bit avec sorties 3 états (modèle d'antériorité: DM 76L24)	Magnitude comparator with 3-state outputs, 4-bit (e.g. DM 76L24)
12-39-10		Opérateur logique et arithmétique à 4 bit (modèle d'antériorité: SN 74181) *Notes 1.* – [T1] fait référence à une documentation afférente détaillant les fonctions de l'opérateur pour les différents modes. *2.* – Les M aux sorties ont été omis selon les dispositions de l'article 21.2.	Arithmetic logic unit, 4-bit (e.g. SN 74181) *Notes 1.* – [T1] refers to supplementary documentation detailing the element's function in various modes. *2.* – The M's at the outputs have been omitted in accordance with Clause 21.2.

IECNORMCOM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

No.	Symbole Symbol	Légende	Description
12-39-11		Opérateur logique et arithmétique à 4 bit avec bascules aux sorties (modèle d'antériorité: F 100181) Les notes du symbole 12-39-10 sont applicables.	Arithmetic logic unit with output latches, 4-bit (e.g. F 100181) The notes with symbol 12-39-10 apply.

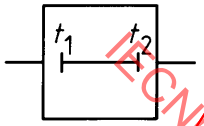
IECNORM.COM: Click to view the full PDF of IEC 60617-12:1983
Withdrawn

SECTION 40 – OPÉRATEURS BINAIRES À RETARD

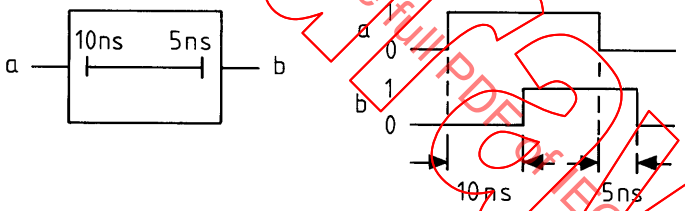
40.1 Le symbole distinctif 02-08-05 est utilisé aussi pour la représentation d'un opérateur binaire à retard comme figuré dans cette section.

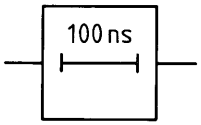
SECTION 40 – BINARY DELAY ELEMENTS

40.1 The qualifying symbol 02-08-05 is also used in the representation of binary delay elements as shown in this section.

No.	Symbole Symbol	Légende	Description
12-40-01		Opérateur à retard avec indication des valeurs des retards Opérateur à retard dans lequel t_1 est le retard apporté à la transition de l'état interne 0 vers l'état interne 1, et t_2 est le retard apporté à la transition de l'état interne 1 vers l'état interne 0. *Note.* – t_1 et t_2 peuvent être remplacés par leur valeur réelle, exprimée en secondes ou unités de mots, et peuvent être placés à l'intérieur ou à l'extérieur du cadre. Si les deux retards sont égaux, cette valeur unique n'est indiquée qu'une seule fois.	Delay element with specified delay times A transition from the internal 0-state to the internal 1-state at the output occurs after a delay of t_1 with reference to the same transition at the input. The transition from the internal 1-state to the internal 0-state at the output occurs after a delay of t_2 with reference to the same transition at the input. *Note.* – t_1 and t_2 may be replaced by the actual delays, expressed in seconds, word units or digit units, and may be placed inside or outside the outline. If the two delays are equal, it is sufficient to insert one value only.

Illustration



No.	Symbole Symbol	Légende	Description
12-40-02		Opérateur à retard (100 ns)	Delay element (100 ns)

IECNORM.COM : Click to view the full PDF of IEC 60617-12:1983